

第 3 章 pn 接合ダイオード

ここでは pn 接合の基礎的な理解を目標とする。pn 接合の説明として、空乏層と電位障壁の発生のメカニズム、接合付近の電界強度、電位分布の計算、拡散電流の計算、C-V特性、動作速度に大いに関係する逆方向回復過程を説明する。pn 接合が理解できれば、このほか MOS デバイスやバイポーラトランジスタのほとんどのデバイスの動作の理解が容易である。半導体工学の基礎の基礎をここで学ぶとさせていただきたい。

1. pn 接合ダイオードと整流方程式

pn 接合は p 型半導体と n 型半導体の接合であり、p 型がアノード(正極)、n 型がカソード(負極)としたダイオードとして機能する。

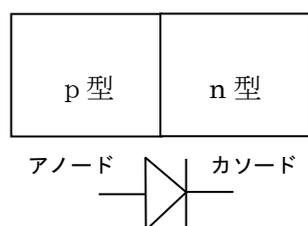


図 1 pn 接合ダイオードと記号

かなり慣れた人でも pn どちらがアノードかカソードか忘れてしまうことが多い。筆者はごろであるが、「ピーはプラス」と覚えている。余談であるが、ドライバーやねじ、蛇口などで、締める方向は右回り、あるいは左回りなのか忘れることがある。この手の失念はプラント火災の原因でもあり、現場では「” の” の字を書く方向が締める」と覚えるが、それを思い出した。

次の図に pn 接合の典型的な I-V 特性を示す。p 側に正電位を加えたとき、順バイアスの状態に相当するが、Si では 0.55 V 程度で急激に電流が流れる。整流器として

はオン状態となる。

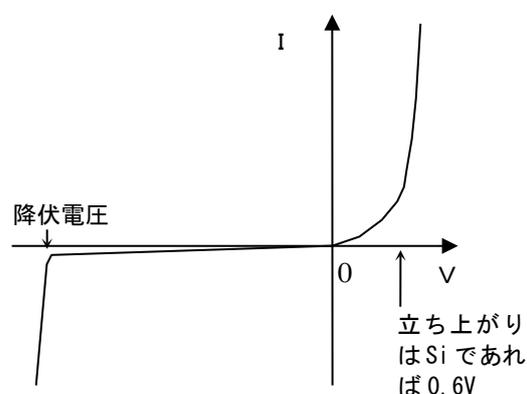


図 2 pn 接合ダイオードと V-I 特性

p 側に負の電圧を加えると、これは逆バイアスであり、整流器としてはオフ状態である。このときはある程度の電圧までは電流をとおさないが、あるところから電流が急激に流れる。この電圧を降伏電圧と呼ぶ。降伏現象を除いた I-V の関係は次の整流方程式であらわされる。

$$I = I_0 \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (1)$$

この式において、 I_0 は比例定数で、半導体層の拡散やダイオードの面積によって決まる数値である。q は単位電荷 (素電荷)、V はバイアス電圧、n は理想係数で通常 1 から 2 の間である。理想係数は pn 接合界面の結

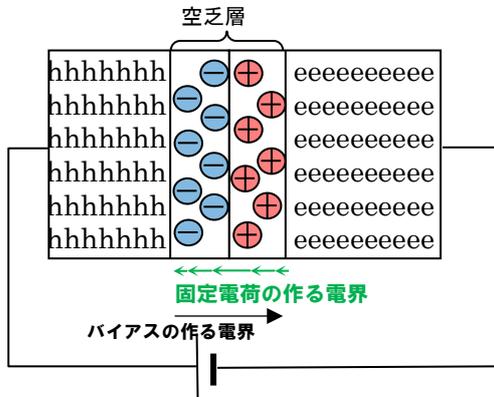


図 5 順バイアスをかけたときの電界発生イメージ

このときは、外部バイアスによる電界が固定電荷で作られる電界を弱めるために、p型層からホールがn型層に、n型層から電子がホールに拡散し、拡散電流が流れる。これが順バイアスで電流が流れる仕組みである。

逆バイアスの場合は、先ほどとは逆である。外部バイアスによる電界と固定電荷によって作られる電界が同じ方向であり、空乏層内の電界はより強められる。このときには電子とホールの拡散は阻止され、電流は遮断となる。

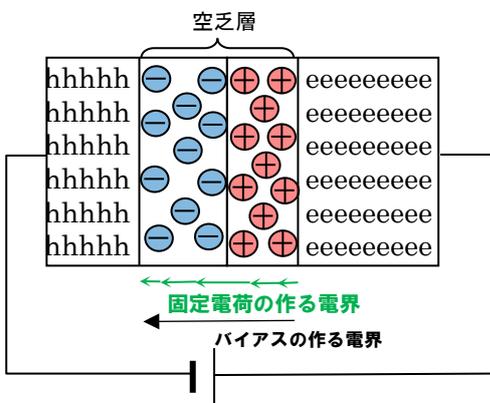


図 6 逆バイアスをかけたときの電界発生イメージ

以上がダイオードの整流動作のイメージ的な理解である。イメージの理解はより実践に強い技術者の養成に役立つ。この章の説明はぜひ覚えてもらいたい。

3. 空乏層内の電界強度と電位分布の計算

ここで p 型半導体のドーパ濃度が N_a 、n 型半導体のドーパ濃度が N_d として、各半導体の長さは十分に長いとして、空乏層内の電界および電位の分布の計算をする。

1) 内蔵電位の求め方

内蔵電位は、空乏層の電界を求めてから、空乏層の端から端まで電界強度を線積分することで求められるが、ここではフェルミディラック分布を使って求める。

空乏層内には障壁電位があり、これは内蔵電位とも呼ばれ ϕ_B とするが、p 型層から n 型層へホールの拡散は起こらない。しかしフェルミディラック分布の考え方では、p 型層から n 型層へ熱励起で飛び越えて、その先でのホールの密度は p 型半導体のホールの濃度とボルツマン関数の積になる。すなわち、

$$N_a \times \exp\left(-\frac{q\phi_B}{k_B T}\right) \quad (2)$$

となる。

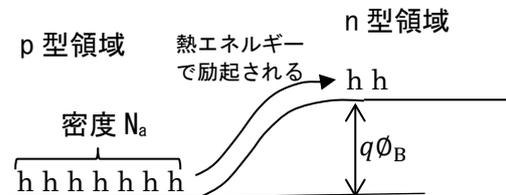


図 7 内蔵電位のイメージ

バンド図と異なるが、p 型領域にいるホールが密度 N_a で存在するとき、熱エネルギーで n 型領域に駆け上がるホール密度は(2)式の通りである。

ここで p 型半導体のホールの濃度はアクセプタのドーピング濃度に等しいとする。ここで、ホールが n 型半導体に流れこまないということは、(2)式の数値が n 型半導体の少数キャリア密度に等しいと考えることができる。すなわち

$$\frac{N_i^2}{N_d} = N_a \exp\left(-\frac{q\phi_B}{k_B T}\right) \quad (3)$$

となる。これから内蔵電位 ϕ_B は次の式で求められる。

$$\phi_B = \frac{k_B T}{q} \log\left(\frac{N_a N_d}{n_i^2}\right) \quad (4)$$

内蔵電位は、p 型層と n 型層のドーピング濃度が増加すると、大きくなる傾向にある。またバンドギャップが増加すると、真性キャリア密度が低下し、内蔵電位は大きくなる。基本的に、内蔵電位は半導体のバンドギャップよりやや小さい値になる。

2)電界

・電位分布の計算

p 型半導体のドーピング濃度を N_a 、n 型半導体のドーピング濃度が N_d としたときの空乏層内部の電界を計算する。前述した過程で、空乏層ができたときに、p 型の半導体層と空乏層幅を x_p 、n 型半導体の空乏層幅が x_n とする。接合によって空乏層ができるとき電子とホールは 1 : 1 の再結合をするために、

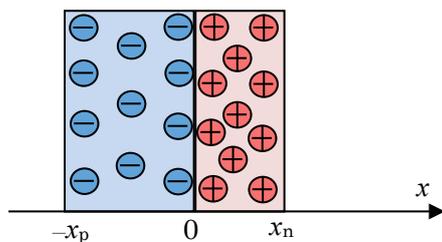


図 8 pn 接合の空乏層における固定電荷の分布のイメージ

空乏層内部の固定電荷の数は n 側と p 側で同一になる。すなわち、

$$x_n N_d = x_p N_a \quad (5)$$

の関係がなりたつ。

図 8 のような一次元の座標をもとで、空乏層が $-x_p \leq x \leq x_n$ で広がっているとして、この内部の電界分布を解いてみる。ガウスの式の微分形によると次の式が成り立つ。

$$\frac{dE}{dx} = -\frac{qN_a}{\epsilon} \quad \text{ただし } -x_p \leq x \leq 0, \quad (6)$$

$$\frac{dE}{dx} = \frac{qN_d}{\epsilon} \quad \text{ただし } 0 \leq x \leq x_n \quad (7)$$

この式は単純に x 方向の一次元の積分で解ける。解くにあたって、 $x \geq x_n$ と $-x_p \leq x$ の領域では電界はゼロになることを考慮する。それは空乏層自体面状の電荷の二重電荷層であり、二重電荷層の正味の電荷を足し合わせるとゼロとなり、外部に電気力線がでなくなると考えればよい。電界分布は次の式であらわされる。

$$E = -\frac{qN_a}{\epsilon}(x + x_p) \quad \text{ただし } -x_p \leq x \leq 0 \quad (8)$$

$$E = \frac{qN_d}{\epsilon}(x - x_n) \quad \text{ただし } 0 \leq x \leq x_n \quad (9)$$

$x=0$ で電界強度は

$$E = -\frac{qN_a}{\epsilon}x_p = -\frac{qN_d}{\epsilon}x_n \quad (10)$$

となる。電界が負となっているのは、電界の向きが x 軸とは反対方向（負の方向）だからである。

電位の分布は先の式をさらに 1 回積分して符号を逆転させればよい。 $x=0$ の場所の電位を 0 とすると、電位 ϕ は次の式であらわされる。

$$\phi = \frac{qN_a}{\epsilon} \left(\frac{1}{2}x^2 + x_p x \right) \quad -x_p \leq x \leq 0 \quad (11)$$

$$\phi = -\frac{qN_d}{\epsilon} \left(\frac{1}{2}x^2 - x_n x \right) \quad 0 \leq x \leq x_n \quad (12)$$

となる。以上の計算結果をグラフにまとめると次のようになる。電界分布は直線的であり、電位の分布は二次曲線となる。電界の強度は pn 接合面で最大となることにも注意しておきたい。このことは pn 接合にバイアスが加わった時も同じである。

空乏層両端の電位差はすなわち内蔵電位 ϕ_B になるが、

$$\begin{aligned} \phi_B &= \phi(x_d) - \phi(-x_p) \\ &= \frac{q}{2\epsilon} (N_d x_n^2 + N_a x_p^2) \quad (13) \end{aligned}$$

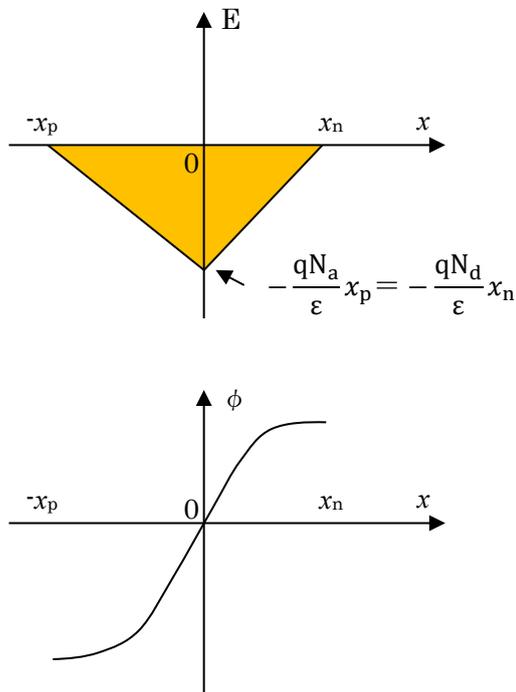


図9 ポアソン式を解いて得た pn 接合の空乏層内の電界と電位分布

となる。ここから $x_d N_d = x_p N_a$ の式を合

せて解くことで、

$$\begin{aligned} \phi_B &= \frac{q}{2\epsilon} (N_d + N_a) \frac{N_d}{N_a} x_n^2 \\ &= \frac{q}{2\epsilon} (N_d + N_a) \frac{N_a}{N_d} x_p^2 \quad (14) \end{aligned}$$

の関係を得る。前項の説明から、 ϕ_B は

$$\phi_B = \frac{k_B T}{q} \log \left(\frac{N_a N_d}{n_i^2} \right) \quad (15)$$

と等しくなる。ここから空乏層幅、 x_n と x_p は次の式で表わされる

$$x_n = \sqrt{\frac{2\epsilon N_a}{q N_d (N_d + N_a)} \phi_B} \quad (16)$$

$$x_p = \sqrt{\frac{2\epsilon N_d}{q N_a (N_d + N_a)} \phi_B} \quad (17)$$

なお外部からダイオードに順方向バイアス V_b が加わった場合は、次の式のようになる。

$$x_n = \sqrt{\frac{2\epsilon N_a}{q N_d (N_d + N_a)} (\phi_B - V_b)} \quad (18)$$

$$x_p = \sqrt{\frac{2\epsilon N_d}{q N_a (N_d + N_a)} (\phi_B - V_b)} \quad (19)$$

この式からも明らかなように、空乏層はドーピング濃度の低い方に広がり易いことがわかる。通常の pn 接合ダイオードは、p 側か n 側のいずれかが高濃度で作られることが多い、両者を同じ濃度にすることは少ない。それは、ダイオードを形成する場合、通常 p 型或いは n 型の $10^{14}/\text{cm}^3$ 程度の低濃度基板に拡散技術をつかって反対の導電型の層を形成することで作られるからである。その場合、空乏層は選択的に濃度の薄い側に広がるとみなしてよい。

pn 接合に逆バイアスを加えたときに、空乏層はバイアス電圧のルートに比例して広がることも覚えておきたい。さらにドーピング濃度を下げれば下げるほど空乏層幅は広がり易く、高耐圧なダイオードを形成するためには、すくなくとも p あるいは n の層のいずれか一方をより低濃度な層とする必要がある。

空乏層幅と電界強度、電位の計算に便利なエクセルシートが筆者のホームページからダウンロードできるので、参考にしていただきたい。

* <http://fhirose.vz.vamagata-u.ac.jp> 内の授業のページから、半導体工学特論の pc_calc.xls を指定してください。

4. pn 接合のバンド図での表現

バンド図は縦軸が電子の結合エネルギーを表し、下方向を正にプロットすることで、その高低は静電的位置エネルギーを表している。電子は負電荷であり、バンド図が高くずれるのは、電位としては低くなる方向を表す。無バイアスの pn 接合の場合は、p 側と n 型のフェルミレベルを一致させるように書く。

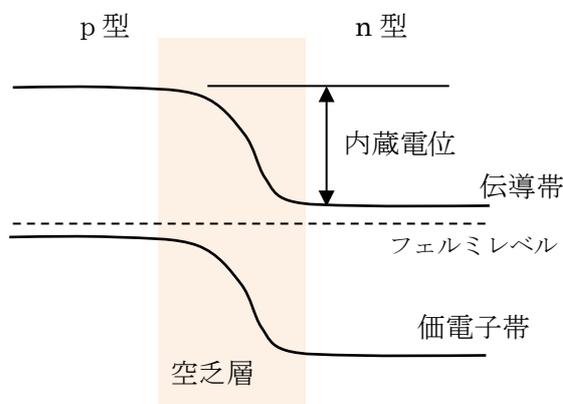


図 10 pn 接合のバンド図による表現

図の中において、フェルミレベルがバンドの中央、すなわち価電子帯と伝導帯の2分点とフェルミレベルが一致する場所が、pn 接合面である。またバンドに曲がりが生じている部分は、電界が生じていることを表し、そこが空乏層になる。

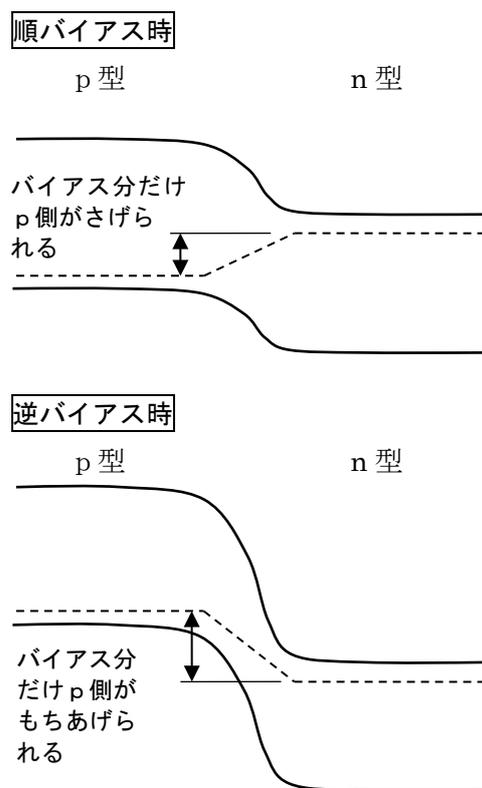


図 11 pn 接合のバンド図による表現

バイアスが加わると、空乏層内のフェルミレベルにバイアス分だけずれが生じる。正にバイアスされると、バンド図を下げて書く。負なら持ち上げて書くことになる。

5. 容量—電圧特性 (C-V 特性)

pn 接合の空乏層は絶縁領域であり、見掛け上 Si の誘電体を挟んだ、空乏層の幅をもつ平行平板とみなすことができる。この容

量のことを接合容量という。単位面積あたりの接合容量 C は次の式で表される。

$$C = \frac{\epsilon_0 \epsilon_1}{(x_n + x_p)} \quad (20)$$

ここで ϵ_0 と ϵ_1 はそれぞれ真空の誘電率、半導体の比誘電率となる。仮に、 n 型層が p 型層に対して非常に高濃度層である場合、 p 型層に選択的に空乏層が広がるため、接合容量は次の式で記述される。

$$C = \sqrt{\frac{q \epsilon_0 \epsilon_1 N_a}{2(\phi_B - V_b)}} \quad (21)$$

これが pn 接合の C - V 特性の式となる。この式から次の C^{-2} - V の関係式を得る。

$$C^{-2} = \frac{2}{q \epsilon_0 \epsilon_1 N_a} (\phi_B - V_b) \quad (22)$$

この式は半導体層の低濃度層のドーピング濃度を求めるのに大変便利な式である。 n 型層に対して、 p 型層の電位をバイアス V_b とし、容量を LCR メーターで計測して、 C^{-2} - V の関係を散布図としてグラフ化すると図のように直線で示される。この特性をとることで、内蔵電位やドーピング濃度の測定をすることができる。ドーピング濃度が変化していても、バイアスに応じた空乏層幅と C^{-2} の変化からドーピング濃度の深さ分布(プロファイル)を求めることができる。

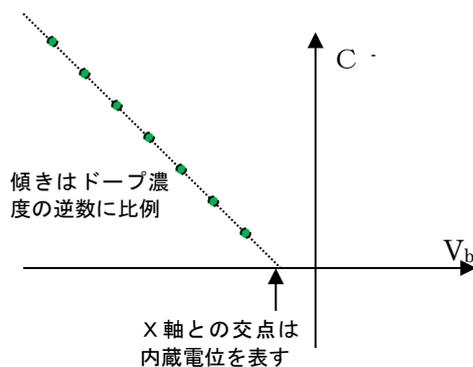


図 12 C^{-2} - V 特性の例

6. 順バイアス電流計算

pn 接合に順方向バイアスを加えた場合は拡散電流と再結合電流が流れる。拡散電流とは、順バイアスによって空乏層にできる電位障壁が弱められて、 p 型層から n 型層にホールが、 n 型層から p 型層に電子が注入されることによって、流れる電流である。再結合電流は空乏層内の再結合準位を通して p 型層のホールと n 型層の電子が再結合して電流として流れるものである。この節では、拡散電流の流れるイメージを理解していただいて、次に式による拡散電流の導出、最後に再結合電流についても概説する。

(1) 拡散電流

ここで pn 接合の内蔵電位による障壁のイメージを思い出してほしい。まず自分は p 型層のなかにいるホールとなったと考える。ホールは、濃度の薄い n 型層に拡散したいが、その前を内蔵電位による障壁が立ちはだかっている。

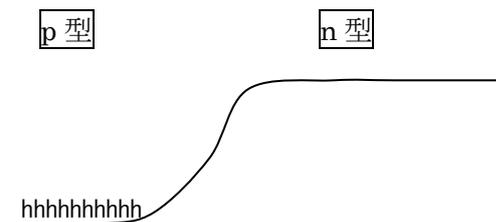


図 13 拡散電流を考えるための出発点のイメージ

この接合に順バイアスが加えられると、電位障壁である内蔵電位が弱められ、 p 型層のホールのごく一部が n 型層に打ち上げられる。打ち上げられる確率は、フェルミディラック分布で計算できる。 p 型層のホール濃度をドーピング濃度 N_a であらわし、順バ

イアス V_b がかけられて、内蔵電位が弱められて $\phi_B - V_b$ の障壁となったとして、 n 型層の空乏層端でのホール濃度 p_n は

$$P_n = N_a \exp\left(-\frac{\phi_B - V_b}{k_B T}\right) \quad (13)$$

で表わされる。

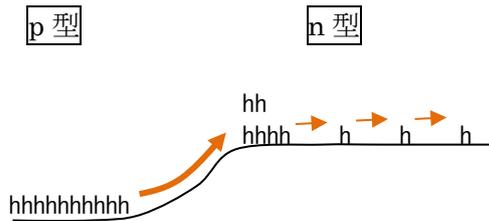


図 14 拡散電流を考えるためのイメージ

このとき、 n 型層の左端に打ち上げられたホールはより濃度の薄い遠方に拡散で流れていく。この注入されたホールは拡散の過程で電子と再結合して消滅もしていくのだが、拡散による流れがホール電流を決めることになる。

より詳細をみてみよう。 n 型層の左端を $x = 0$ として、縦軸にホールの濃度をとると次のようなグラフとなる。

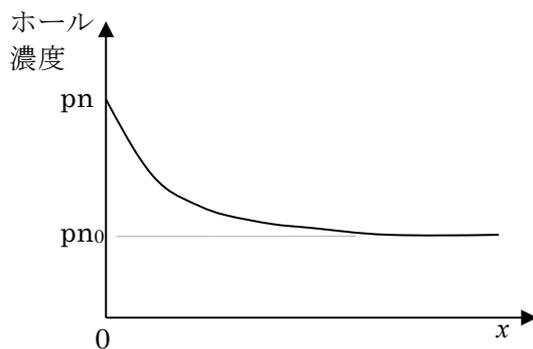


図 15 pn 接合において n 型層にホールが注入されたときの n 型層におけるホール濃度分布

再結合によって、 x が大きくなるに従って、ホール濃度は小さくなり、最後は平衡状態のときの n 型層の少数キャリア濃度 p_{n0} に

近づく。 p_{n0} は、 n 型層のドーピング濃度を N_d としたときに、 n_i^2 / N_d に等しい。

この濃度と距離 x の関係を解くには次の電荷連続の式を解かなければならない。

$$0 = D_p \frac{\partial^2 p}{\partial x^2} - \frac{p - p_{n0}}{\tau_p} \quad (24)$$

ここでの τ_p はホールの n 型層中のライフタイムである。 D_p はホールの n 型層中の拡散係数である。この式を解くと、ホール濃度は

$$p(x) = (p_n - p_{n0}) \exp\left(-\frac{x}{\sqrt{D_p \tau_p}}\right) + p_{n0} \quad (25)$$

となる。単位面積当たりのホール電流 I_h は次の式で表わされる。

$$\begin{aligned} I_h &= \left[-qD_p \frac{dp}{dx}\right]_{x=0} \\ &= \frac{qD_p}{\sqrt{D_p \tau_p}} p_n \\ &= \frac{qD_p}{\sqrt{D_p \tau_p}} N_a \exp\left(-\frac{q(\phi_B - V_b)}{k_B T}\right) \end{aligned} \quad (26)$$

ここで $\sqrt{D_p \tau_p}$ は拡散長と呼ばれるもので、ホールが n 型層にはいつて、 $1/e$ になる位置を表す。多くの教科書では、 ϕ_B を省くために $p_{n0} = n_i^2 / N_d$ と $\phi_B = \frac{k_B T}{q} \log\left(\frac{N_a N_d}{n_i^2}\right)$ の関係を使って、ホール電流を次の式で表わしている。

$$I_h = \frac{qD_p}{\sqrt{D_p \tau_p}} p_{n0} \exp\left(\frac{qV_b}{k_B T}\right) \quad (27)$$

筆者はこの式は初学者には抵抗があると危惧しているところだが、他の教科書と混同をさけるために、あえてここで記述しておく。

今までホールの事ばかり述べたが、電子も上記と同じ現象がおこっている。電子電

流 I_e は

$$I_e = \frac{qD_n}{\sqrt{D_n\tau_n}} N_d \exp\left(-\frac{q(\phi_B - V_b)}{k_B T}\right) = \frac{qD_n}{\sqrt{D_n\tau_n}} n_{p0} \exp\left(\frac{qV_b}{k_B T}\right) \quad (28)$$

となる。

単位面積当たりの順方向電流 I_f とするとホール電流と電子電流の総和になる。

$$I_f = I_h + I_e = q \left(\frac{D_p}{\sqrt{D_p\tau_p}} N_a + \frac{D_n}{\sqrt{D_n\tau_n}} N_d \right) \cdot \exp\left(-\frac{q(\phi_B - V_b)}{k_B T}\right) = q \left(\frac{D_p}{\sqrt{D_p\tau_p}} N_a + \frac{D_n}{\sqrt{D_n\tau_n}} N_d \right) \exp\left(-\frac{q\phi_B}{k_B T}\right) \cdot \exp\left(\frac{qV_b}{k_B T}\right) \quad (29)$$

ここまでたくさんの計算ができたが、初学者は式の暗記ではなく、キャリアの流れのイメージをつかむことが重要である。式の暗記ではなく、次の式から読み取れることを覚えていてもらいたい。

- ・ドープ濃度と拡散電流は比例関係である。
- ・拡散係数、すなわち移動度が高いほど拡散電流は高められる。
- ・半導体層のライフタイムが低いほど拡散電流は大きくなる。

(2)再結合電流

拡散電流は先に述べたように、 $\exp\left(\frac{qV_b}{k_B T}\right)$ に比例する電流が流れるが、空乏層内で再結合がおこると $\exp\left(\frac{qV_b}{2k_B T}\right)$ に比例した電流が流

れる。これは次の図にも示されるように、再結合電流は pn 接合の空乏層内でのバンド中央にある準位を通じて発生するため、バンドギャップの半分のエネルギー障壁を超える確率に比例するようにみなせるからである。

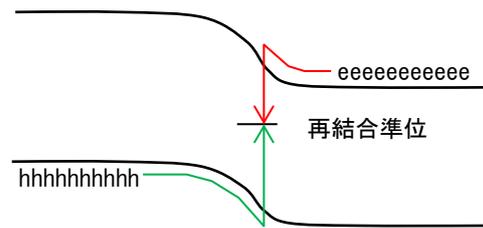


図 16 pn 接合における再結合電流の発生するメカニズム

再結合電流は再結合を起こす要因、すなわち不純物や欠陥が空乏層内にあるおこるものであり、ダイオードを作る半導体層の品質が悪ければ増加する傾向にある。

再結合電流は低電流領域で主であり、拡散電流は比較的電圧が高い領域でおこる。ダイオードの V-I 特性を片対数グラフにすると、電流領域によって、再結合電流、拡散電流、直列抵抗の領域が現れ、それぞれ傾きが異なる。再結合電流は再結合準位の密度で制限されるため、比較的電流の低い領域のみで現れる。高電流の領域になると、ダイオードの接合以外の部分の抵抗成分が電流を制限するようになり、片対数グラフでは傾きが小さくなる。

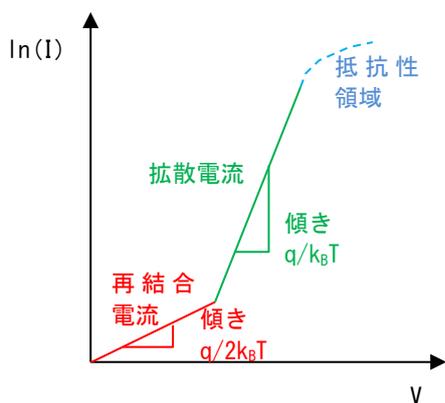


図 17 pn 接合における順方向電流特性からの再結合電流と拡散電流の領域

実際のダイオードを測定してみると、先の図のような急激に傾きに変化するグラフにはならず、片対数のグラフで傾きが $q/k_B T$ から $q/2k_B T$ の間の直線になることが多い。傾きが $q/nk_B T$ としたときに、 n の値を理想係数という。よくダイオードの整流方程式も、理想係数を含めて次のように書かれる。

$$I = I_0 \left\{ \exp\left(\frac{qV}{nk_B T}\right) - 1 \right\} \quad (30)$$

n の値が 1 であれば、再結合電流成分を全く含まない理想ダイオードとすることができる。 n が 2 に近ければ、欠陥などが多いことによる再結合電流成分の大きいダイオードとなる。

7. 絶縁破壊

Si の pn 接合において p 型および n 型のドーピング濃度が両方とも $10^{18}/\text{cm}^3$ 以上の濃度で接合が作られると、空乏層幅が 10 nm 以下になり、比較的低い電圧でもトンネル効果により降伏電流が流れる。この場合はツェナー降伏という。このツェナー降伏の電圧は、ドーピング濃度で簡単に制御できるため、これを利用して定電圧ダイオード(ツェナーダイオード)とすることができ

る。

Si ダイオードにおいて、p 型あるいは n 型のいずれか一方が $10^{18}/\text{cm}^3$ 以上の高濃度で、もう片方がそれより低濃度である場合を片側階段接合という。片側階段接合の場合、または両方の濃度が $10^{18}/\text{cm}^3$ 以下の低濃度場合、pn 接合に逆バイアスを加えて、電圧を高めていくと、pn 接合面付近の電界強度が増加し、あるところでキャリアが雪崩のように増倍して降伏する、雪崩降伏(アバランシェ降伏)が起こる。これは空乏層内に熱励起で発生した電子が空乏層内で電界の力を受けて加速され、格子に散乱される過程で、価電子を次々と弾き飛ばして自由電子を作り出し、雪崩のように電子が増えて、大きな電流が流れてしまう現象である。

図 18 に、高濃度の n 型 Si に低濃度の p 型 Si を形成した時の雪崩降伏がおきる接合面の電界強度を示した。これは、低濃度側のドーピングレベルに依存することが知られている。

逆バイアスをかけたときの接合面の電界強度が図 18 の雪崩降伏電界強度と一致すると雪崩降伏が起こると考え、理想耐圧を見積もることができる。実際の試作では、この半分の耐圧になることが多く、雪崩降伏電界強度の半分の電界強度で降伏がおこるとして、耐圧の見積もりを行う。

このほか、実際のダイオードで忘れてはならないのは接合表面での絶縁破壊である。これは pn の接合面が外に露出される部分で電界集中がおきて、絶縁破壊が起きる現象であるが、pn 接合を不活性膜で被覆したり、ガードリングと呼ばれる電界緩和構造を作りつけたりするなどの対策が施される。

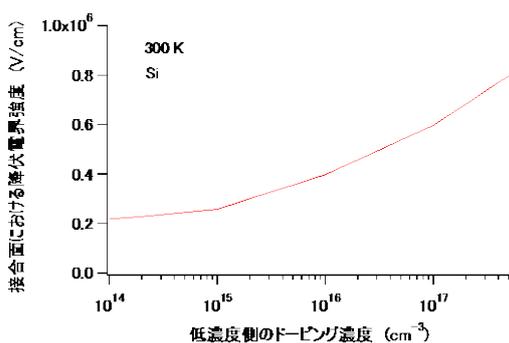


図 18 片側階段接合における接合面での雪崩降伏電界強度

8. pin ダイオードと伝導度変調

実際のダイオードにおいて、順バイアス時の抵抗を下げることは、通電時のジュール損失を下げるために望ましいことである。順バイアス時の抵抗は **ON 抵抗**とも呼ばれるが、半導体と電極の接触抵抗（コンタクト抵抗）も ON 抵抗の要因の一つである。コンタクト抵抗を下げるには、pn 接合の電極との接触部分を高濃度にドーピングを行うのが一般的である。高濃度にドーピングすることを添え字の+の記号をつかって、 p^+ あるいは n^+ と表わすが、多くのダイオードが $n^+/n^-/p^+$ のように真中に低濃度層を挟んだような構造になっている。このようなダイオードは **pin** ダイオードとよび、ほとんどのダイオードは実質 **pin** ダイオード構造をなしている。pin の i の部分は **isolation** の絶縁層を表す。このようなダイオードは、順バイアス時に高濃度の n 層、p 層から電子とホールが i 層に流れ込み、とくに大電流においては、見掛け上 i 層の部分が高濃度にドーピングされたかのように働き、非常に低抵抗となる。このような抵抗率が下がる現象を**伝導度変調**と呼ぶ。

pin ダイオードが逆バイアスのときには、i 層、すなわち真中の低濃度層に選択的に空

乏層が広がる。したがって、pin ダイオードの耐圧（降伏電圧）は i 層のドーピング濃度と膜厚によって決まる。通常、Si の pin ダイオードでは、ドーピング濃度を $10^{14}/\text{cm}^3$ 程度に抑えて、抵抗率では $15\ \Omega\ \text{cm}$ 程度に設定し、厚みとして $10\ \mu\text{m}$ で耐圧 75V 程度である。 $20\ \mu\text{m}$ で 150V、 $50\ \mu\text{m}$ で 500V となる。

9. 逆方向回復過程

ダイオードを高周波電流の整流や検波に用いるときに、どの程度までの高周波で整流特性が得られるかは、この逆方向回復過程の時間、逆方向回復時間あるいはリカバリ時間で決まる。

pn ダイオード、pin ダイオード共に順バイアスをかけて順方向電流を流しているところから、急に逆バイアスに切り替えると逆バイアスであっても切り替え直後に負の電流が一定時間流れる。このような負の電流が流れる過程を**逆方向回復過程（リカバリ過程）**と呼ぶ。負の電流が流れ始めから最大の逆方向電流（リカバリ電流）の 10%まで消失する時間をリカバリ時間という。

逆方向回復過程においては、空乏層が大きく広がる動作をするが、そのときの空乏化に伴ってキャリアが引き出されて、負の電流が流れる。pin ダイオードにおいては、i 層の蓄積電荷が吐き出される。すなわち逆方向回復時間は pin ダイオードの順バイアス時の蓄積電荷量に依存し、順方向電流が大きくなるほど増加する。

実際の回路においてダイオードで順バイアスと逆バイアスを交互に切り替わるような整流回路やスイッチ回路においては、逆方向回復時間に気をつけなければならない。

この逆方向回復の間、ダイオードは整流子として動作しない。単なる抵抗になる。通常 100V 程度の整流に用いられるタイプのダイオードでは、リカバリ時間は 100~500 ns 程度であり、整流子としての限界は数十 kHz 程度と考えた方がよい。

(a) 逆方向回復過程の測定回路

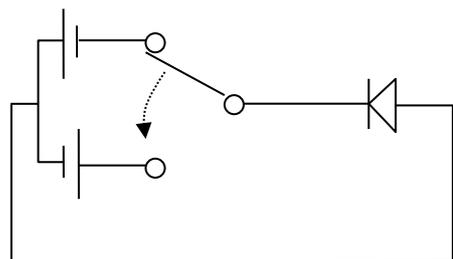


図 19 逆方向回復過程の説明図

(b) 電流波形

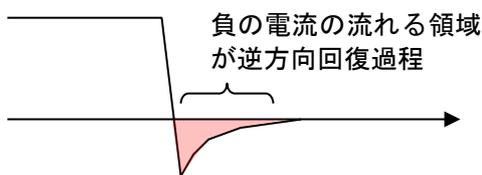


図 19 続き 逆方向回復過程の説明図

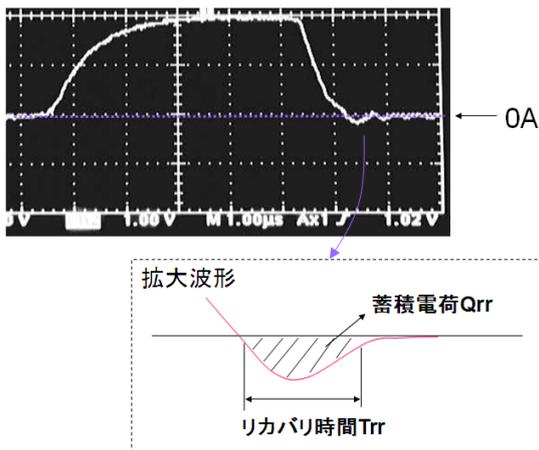


図 20 逆方向回復波形の例

この例は Si ダイオードに順方向に 20A 流した後、逆バイアスをかけたときのリカバリ波形の測定例。リカバリ時間は約 350ns。

例えば MHz オーダーの交流をかけた場合、逆電流が無視できなくなり、整流動作はできなくなる。

リカバリ時間が短く、高速動作ができるダイオードを特別に Fast Recovery Diode (FRD) と呼ぶ。このような高速リカバリのものは、順方向抵抗が高いものが多い。高速と順方向抵抗はトレードオフ（二立背反）の関係にある。また高速リカバリのものは、リカバリ波形が急峻なため、ノイズを発生させるものもあるので、低ノイズ回路に使う時は気をつける必要がある。

9. 実際のダイオードの構造

ここでは、実際のダイオードの構造について図を用いて解説する。ここで紹介される図は断面を表わした模式図になる。実際のダイオードには各種各様ではあるが、整流用の大電流タイプのものだと、メサ型と呼ばれる構造をしている。メサの意味は台形であるが、このような構造は周囲との絶縁をとり易く高耐圧（50V 以上）で大電流（100 A/cm²）のもので使われている。リーク電流の発生因となる p 層と n 層との界面の側壁の部分ガラスなどの絶縁層で被覆し、空気による酸化やごみの付着をさけるようになっている。TiSi 膜は Al との接触抵抗を低減させるための膜で、コンタクト層と呼ばれるものである。アノード電極は 0.5 μm 程度の Al 層を介して Al ワイヤに接続され、カソード側は Ni 板などに Ni 層を介して半田付けされる。

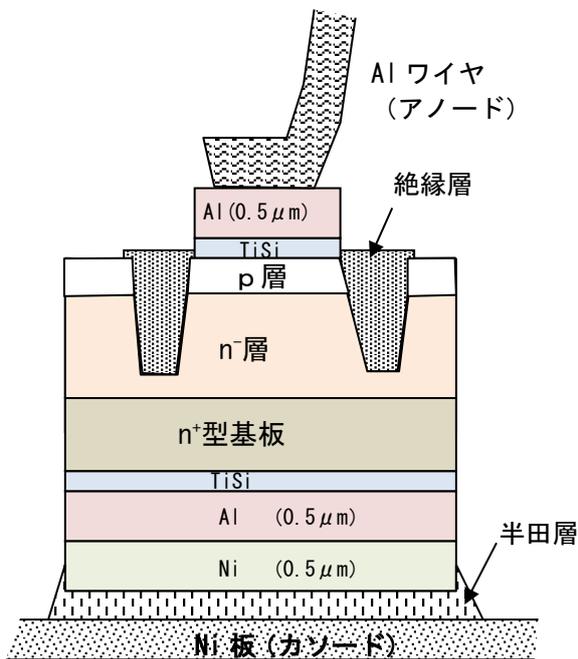


図 21 メサ型ダイオードの実例

集積回路の中ではプレーナ構造をとるために、つぎの図 22 のような部分拡散法を用いて形成される。

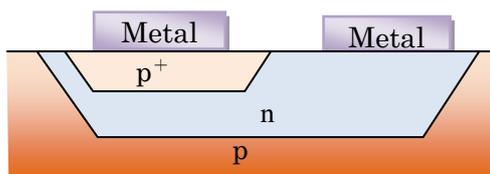


図 22 プレーナ型ダイオードの実例

10. ショートダイオード

ダイオードの順方向電流の主たる成分は拡散電流である。拡散電流の式について重複を恐れず、もう一度ここで記述する。

$$I_h = \frac{qD_p}{\sqrt{D_p\tau_p}} p_{n0} \exp\left(\frac{qV_b}{k_B T}\right) \quad (31)$$

$$I_e = \frac{qD_n}{\sqrt{D_n\tau_n}} n_{p0} \exp\left(\frac{qV_b}{k_B T}\right) \quad (32)$$

この式において $\sqrt{D\tau}$ は拡散長と呼ばれるもので、ホールを例にとつて説明すると、p型層からn型層に注入されたホールが空乏層端からp型層の遠い方に拡散されるが、濃度が空乏層端から $1/e$ になる距離がこの拡散長である。例えば、n型層での少数キャリアの寿命 τ_n が $100 \mu s$ であるとして、n型層での拡散係数が $10 \text{ cm}^2/\text{s}$ とすると、拡散長 $\sqrt{D_n\tau_n}$ は $316 \mu m$ となる。この長さを実際になると容易ではなく、ほとんどの場合で実際のダイオードは拡散長より薄い層で構成されている。

上記の拡散電流の式は、半導体層が非常に厚く拡散長に対しても十分に厚いという前提で解かれている。実際のダイオードでは拡散長より薄く、例えば金属電極が拡散長より薄い位置にある場合、このようなダイオードをショートダイオードと呼ぶ。

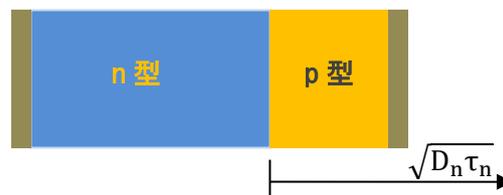


図 23 ショートダイオードの説明図

図 23 のような、p型層の膜厚が拡散長より薄い場合で、金属電極が付いている場合、金属との界面で無限大の再結合速度があると仮定する。そのときにホールの拡散電流の式は次のようになる。

$$I_e = \frac{qD_n}{W_p} n_{p0} \exp\left(\frac{qV_b}{k_B T}\right) \quad (31)$$

ここで、 W_p はp型層の厚みである。このときのp型層へ注入された電子の濃度勾配は

直線的とみなされるが、この近似が成り立つのは、あくまでも電流密度が十分に小さい時である

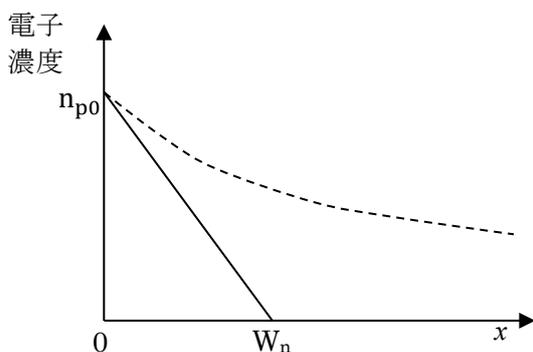


図 24 p 型層が拡散長より薄い場合の注入されたホール濃度の分布

このようなショートダイオードでは、ロングの場合と比べて、実質の拡散長が短くなり、拡散電流が増強される、すなわち良く流れるダイオードになることが期待されるが、 $100\text{A}/\text{cm}^2$ 程度の高い電流密度でショートダイオードを使う場合は、金属界面での再結合速度は有限であり、期待されるほどの電流の増強は現れない。

半導体開発の現場でしばしば使われる電子デバイスシミュレータの多くが、この金属界面での再結合速度を無限として結果を出す、この仮定が実物とのずれの原因になることが多い。そもそも、金属界面での電荷の再結合過程はよくわかっておらず、解析研究が今後必要である。

1.1 .高速低損失化への挑戦

pn ダイオードが産業上もっとも活用されているのは、整流用途とスイッチ回路の還流ダイオードとしてである。スイッチ回

路は我々の身の周りの電気製品の省エネを実現するために大きな役割を果たしている。その例としてスイッチ式電源でのダイオードの利用例を図 25 に示す。

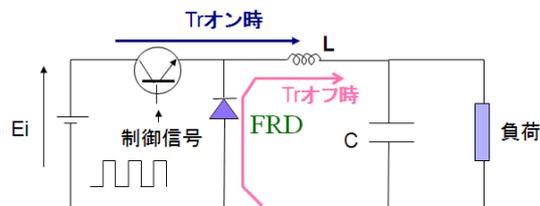


図 25 スイッチ式電源でのダイオードとしての利用例 FRD は Fast Recovery Diode の略

これはパソコンなどの電源に広く用いられているもので、トランジスタが電子スイッチの役割をしている。この回路では制御回路の信号の ON と OFF の比をかえることで、負荷へ伝える電圧を調整できるようになっている。トランスレスであり、非常に小型で、パソコンの電源はすべてこの回路となっている。この回路において、トランジスタがオフになる瞬間、インダクターから逆起電力が発生しそれを還流させるために、ダイオードが使われる。このようなダイオードを還流ダイオード (Free Wheel Diode) と呼ばれている。このような回路ではインダクターの小型化のために、ダイオードの高速化が求められるが、先述したように逆方向回復過程のために、制御周波数の高周波化には限界がある。このような用途のために FRD が用いられるが、一方で、高速になると ON 抵抗が高くなり、発熱が大きくなるという問題がある。pin 型のダイオードにおいて、 150V クラスのダイオードの場合、高速タイプであると、リカバリ時間が 50n s 程度のもので出回って

いるが、ON 抵抗は 1 cm^2 換算で $15 \text{ m}\Omega$ 程度になる。これは仮に 100 A 流した時に 150 W の発熱になり、大きな問題である。一方低抵抗品では 1 cm^2 換算で $8 \text{ m}\Omega$ 程度のものであるが、リカバリ時間は 400 ns 程度と低速になる。このように、ON 抵抗と高速化は二立背反の関係にある。

高速化のためには、半導体層にライフタイムキラーとなる Pt や Au をドーピングする方法がとられるが、ライフタイムの最適点の調整が難しい。筆者の研究ではダイオードの構造にもよるが、i 層のライフタイムを数十 ns に調整することで、ON 抵抗を損なうことなくリカバリ時間を縮減できることを報告しているが、実際の調整は困難である。さらにこのようなライフタイムキラーによる調整はダイオードのリーク電流が増えたり、また 100°C の高温では殆ど高速化の効果が表れないなどの問

題も生じる。一方、ライフタイムの調整法としてイオン照射や電子線照射の方法もとられるが、こちらは装置が一基数億円ちかくして、枚葉処理しかできないことなどから、コスト高の問題が生じる。

筆者はかねてからこの問題に着目し、p 型層に SiGe 膜を用いて、局所的にライフタイム調整を行い、ON 抵抗を損なわずに高速化できることを報告している。この方法によれば、 150 V クラスのダイオードでリカバリ時間 30 ns 、ON 抵抗率として $7 \text{ m}\Omega\text{cm}^2$ が実現できる可能性があることを示している。このほかの取り組みとして、単純に平坦な膜の積み重ねではなく、i 層の中身に周期的なモザイク構造にするなど、構造からの高性能化の研究がデバイスシミュレーションを用いて進められている。