

第 8 章 パワー半導体

私たちの生活の身の周りにあふれるエレクトロニクス製品において、省エネルギーは大きなテーマである。最近では当たり前になった液晶テレビであるが、片手で持ち歩けるほどの軽量化が進んだのは、ブラウン管から液晶へ変わったことよりも、スイッチング電源が普及して、重い鉄心トランスがなくなったことが大きい。また、エアコンが 1990 年台と比較して、大幅な省エネを実現したのも、インバーターの普及のおかげである。電気自動車は、インバーター無しでは実現し得なかった。どれもこれも、トランジスタの大電力化とノイズ吸収のためのダイオードの高性能化があってこその実現である。本章では、デバイスの中身を語る前に、インバーターやチョッパーといった電力回路制御回路について知識を深め、使われる場所をイメージしながらパワー半導体の理解を深めていきたい。

1. 電力制御回路とパワー半導体

日本の家庭に供給される電気は明治の頃から AC100V で周波数は 50 ないし 60Hz とされてきた。この規格のもとに、我々の身の周りのエレクトロニクス製品は発展してきた。1980 年以前では、使用する回路の電圧に応じて、変圧器（トランス）で 100V の電圧をより使いやすい電圧まで変圧して、それを全波整流し、コンデンサで平滑にして、直流として回路に電力を供給してきた。回路として表すと図 1 のようになる。ラジオやステレオ、テレビなど殆どの電気機器は、3~30V 程度の直流電源をエネルギー源として使用する。

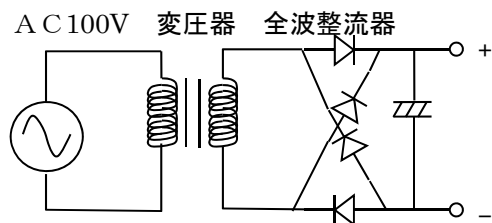


図 1 変圧器を用いた直流電源
あらゆるところ、この回路が使われていた。

変圧器とは、コイルに電流を流して、磁場のエネルギーとして鉄心にエネルギーを

ため込み、2 次側のコイルでそのエネルギーを取り出す。したがって、取り出す電力が大きくなるほど、鉄心の重量は重くなる。100W を取り出すとすれば、2kg の鉄心が必要である。図 2 に著者が若いころ自作した A 級 20+20W のオーディオパワーアンプの内部写真をお見せする。稚拙な配線で公開にするには恥ずかしい限りであるが、この回路も 140W 近い電力が必要であり、電源トランスの重さも 3kg に達する。



図 2 筆者自作の A 級 20W ステレオアンプ
トランスとコンデンサの占める重さは大変大きい。

これは大変愛着のあるもので、いまだに引っ越しの度に重い目にあいながらも捨てずに運んできた。読者にはトランスがいかに

重いものか分かってほしかった。これに限らず、テレビやラジオもトランス方式では大変大きな重量であったことがわかる。

これに劇的な革命を与えたのが、**スイッチング電源**である。そもそも変圧器において、交流の1/4波長分のエネルギーがトランスの鉄心に蓄えられ、一次コイルから2次コイルに伝えられるものであり、そのエネルギーの大小で鉄心の重量は決まる。であれば、交流の周波数を50Hzではなく、もっと高くすれば1/4波長分のエネルギーは小さくなり、非常に小さな鉄心でも伝達可能となる。スイッチング電源では、AC100Vの直流を全波整流し、直流にして、**チョッパ**や**インバータ**と呼ばれる回路で高い周波数の交流を作りだし、トランスを劇的に小型化させることに成功した。図3にチョッパ型のスイッチング電源の原理図を示す。

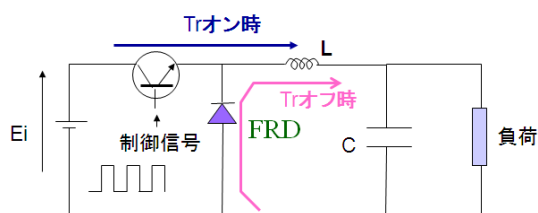


図3 スwitchング電源での原理図

FRDはFast Recovery Diodeの略

スイッチング電源の実用化は、パワー半導体とスイッチング用ダイオードの出現を待ってからになる。トランジスタに制御信号の方形波をいれるとトランジスタがONとOFFを繰り返す、ONのときにLに電流が流れ、Cに電荷がチャージされ、OFFのときにはLに流れる電流がFRDを通して還流される。この回路をみると完全なトランスレスになっているのがわかる。実際に

はこの回路ではノイズが多く乗っているので、何段かのノイズ除去フィルターを通すことになるのだが、従来のトランスを用いていた頃と比べ、劇的な小型化が可能であり、現在ではパソコンをはじめ殆どの家電品に搭載されている。

パワー半導体の定義は難しいが、1A以上、電圧で20V以上のダイオード、トランジスタ、FET等がその範疇とされている。これからパワー半導体としてのバイポーラトランジスタ、MOSFETなどの素子の比較を中心に説明を続ける。

2. pn接合での絶縁破壊

～アバランシェ降伏～

pn接合ダイオードの節で基礎を解説したつもりであるが、ここではパワーデバイスの観点からpn接合の絶縁破壊を説明する。これは基本接合となり、パワー半導体を理解するためにいささか重要であるため、重複する部分はあるが、3章を読み返しながらついてほしい。

p型半導体とn型半導体を積層してpn接合を形成すると接合面から空乏層が広がる。空乏層の幅はダイオードのバイアスと、その層のドーピング濃度で決まる。4章3節に既出であるが、p型の半導体層の空乏層幅を x_p 、n型半導体の空乏層幅を x_n とすると、それぞれ、

$$x_n = \sqrt{\frac{2\epsilon N_a}{qN_d(N_d+N_a)}(\phi_B - V_b)} \quad (1)$$

$$x_p = \sqrt{\frac{2\epsilon N_d}{qN_a(N_d+N_a)}(\phi_B - V_b)} \quad (2)$$

で表され、 N_a はp型半導体のドーピング濃度、

N_d は n 型半導体のドーピング濃度であり、 ϕ_B は内蔵電位、 V_b は逆バイアス電圧である。この式をよく眺めると、この空乏層幅は、

- ① ドーピング濃度が低くなるほど広がりやすい。
- ② 逆バイアスの $\sqrt{\quad}$ に比例して広がる。

ということがわかる。

パワー半導体において空乏層は絶縁体として働く。つまり耐圧を稼ぐための絶縁層になる。半導体での絶縁破壊は、アバランシェ降伏 (3 章 7 節) が原因である。ほかにツェナー降伏もあるが、パワー半導体としてはこれが主たる絶縁破壊の要因と考えてよい。3 章 7 節の再掲になるが図 4 に Si での片側階段接合での降伏電界強度のドーピング濃度に対する依存性を示す。

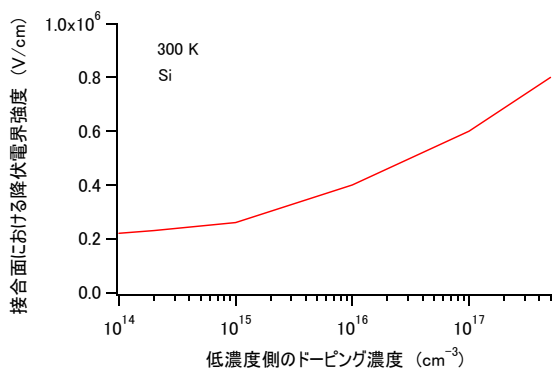


図 4 片側階段接合における接合面での雪崩降伏電界強度

ドーピング濃度が増加すると降伏電界強度は増加する傾向にあるが、およそ $2 \times 10^5 \text{V/cm}$ 程度と考えたらよい。

ここで、pn 接合および pin 接合での絶縁破壊電圧の計算事例を紹介し、理解を深めていきたい。

① pn 接合絶縁破壊電圧の計算事例

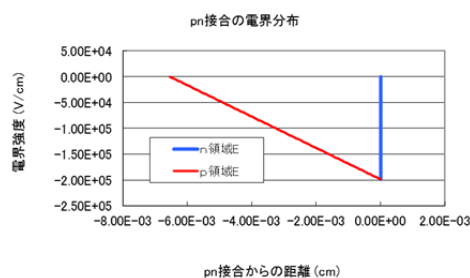
10 Ω cm の p 型ウェハに、ドーピング濃度 $1 \times 10^{18} / \text{cm}^3$ で n 型層を形成した場合の絶縁破壊電圧を求めよ。

解法

(1)式と(2)式を用いて、空乏層幅が計算できるが、ここは筆者が独自開発した pn_calc を用いて計算してみよう。本プログラムは筆者のホームページの <http://fhiroseyz.yamagata-u.ac.jp/> で入手できる。計算にあたって、10 Ω cm の基板であれば、アクセプタ密度は $5 \times 10^{14} / \text{cm}^3$ を想定すればよい。(1 章 3 節参照)

ここで示す例は、pn 接合内部の最大電界強度が $2 \times 10^5 \text{V/cm}$ となるようバイアスを調整して 650V とした事例である。計算法の詳細は 3 章に記述してある。

pn接合の電界電位分布の計算	
n領域のドーピング濃度	1.00E+18 cm-3
p領域のドーピング濃度	2.00E+14 cm-3
真性キャリア密度	1.45E+10 cm-3
n_n	2.10E+02 cm-3
p_n	1.05E+06 cm-3
拡散電位 (内蔵電位の計算)	7.14E-01 V
バイアス	650
空乏層幅の計算	単位cm
n型領域	1.31E-06 cm
p型領域	6.55E-03 cm
Total	0.006546688 cm



pn 接合内部では電界強度は三角形になり、pn 接合面で電界強度が最強になる。この場合、p 型領域のドーピング濃度が低いため、p 型領域に優先的に空乏層が広がっていることがわかる。したがって、この計算からこの耐圧は 650V としたいところであるが、実際のダイオードではこの耐圧の半分から 1/3 になる。その理由は、pn 接合界面の空気に露出する部分で空乏層が縮小するからである。この問題は次節で解説する。

② pin 接合絶縁破壊電圧の計算事例

0.01Ω の n⁺基板に、ドーピング濃度 1×10¹⁴/cm³ の n 層を 10μm で形成し、その上に高濃度ドーピングで p⁺層を形成して pin ダイオードにしたときの絶縁破壊電圧を求めよ。

解法

ドーピング濃度 1×10¹⁴/cm³ の n 層は空乏層になると考える。pin ダイオードにおいては、n 層が i 層として働き、これが絶縁体としてみなせるので、絶縁破壊電圧は

$$2 \times 10^5 \text{ V/cm} \times 10 \text{ } \mu\text{m} = 200\text{V}$$

となる。要は、空乏層内に均一に電界がかかると近似して、アバランシェ降伏電界強度に膜厚をかければ良い。したがって、200V としたいところであるが、pn 接合界面の外に露出する部分で空乏層が縮小する問題から、実際の耐圧は 100V 程度となる。

3. pn 界面露出による空乏層縮小問題 ~ベベル技術~

本書も含め教科書においては Si の pn 接

合の端面を接合界面に対して垂直を仮定するが、この角度は pn 接合界面露出による空乏層幅の縮小に大きな影響を与える。図 5 に空乏層界面の露出部での空乏層縮小のイメージを示す。界面の端面で空乏層が縮むのは、端面での結晶の周期性の途絶えによる表面準位、さらに不純物の吸着によると考えられる。この端面を SiO₂ で終端することで、空乏層の縮小の度合を下げるができるが、筆者の経験では SiO₂ 被覆でも、90° 端面では空乏層幅は半分から 1/3 となる。従って、アバランシェ降伏を想定して計算した絶縁破壊電圧の 1/2 から 1/3 になる。

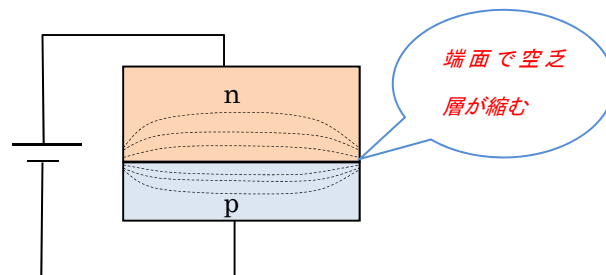


図 5 空乏層界面露出部での空乏層縮小のイメージ

Davis らは pn 接合界面に対して、ななめの切り口で端面を形成することで端面での電界強度を弱めて、絶縁破壊強度を稼ぐことに成功した¹⁾。このような斜め端面を形成する技術を**ベベル技術**と呼ぶ。接合界面と低不純物層の端面の角度が、90° 以下のものを**正ベベル**と呼び、それ以上を負ベベルと表現する。正ベベルでの接合のイメージを図 6 に示す。正ベベルでは空乏層を端面がななめによぎる形となり、端面での電界強度が弱められ、かつ空乏層が延び、端面での降伏電界強度が高められる。この説明は簡略な説明であり、実際には界面特有の現象であることは言うまでもない。

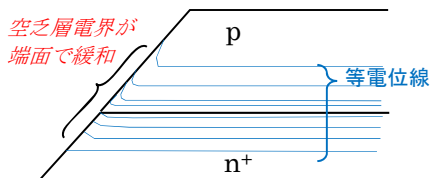


図7 正ベベルでの空乏層イメージ

筆者の経験では、この技術を用いて理論アバランシェ耐圧の70%近くまで耐圧を高めることが可能と考えられる。さらに、実用化の点では、デバイス端面を斜めに掘り込むことで高耐圧サイリスタを実現した例もある。この技術は、加工が困難であり、サイリスタやGTOなどの大口径デバイス向きであり、LSIプロセスとの親和性がよい、ガードリング技術やフィールドプレート技術にとって代わられた。

4. プレーナプロセスにおける高耐圧化技術 ~ガードリング、フィールドリミテイングプレート~

通常高耐圧仕様のpn接合を作るにあたって、前節に示したベベルでの特殊な掘り込みはプレーナ技術をベースとした現代のIC工場では製造することが困難である。実際のデバイスでは、図8に示さうようにメサ溝と呼ばれる掘り込みをつくり、pn接合界面のベベル角が90°になるよう形成するが、この場合深いエッチングプロセスを要し、これもまた、プレーナ技術で対応するのに困難である。

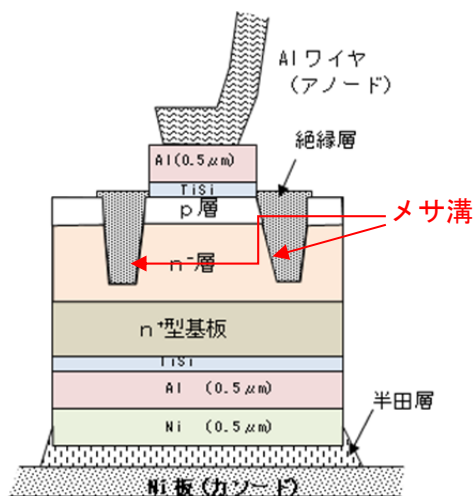


図8 メサ型ダイオードの実例

現在、パワーデバイス製造において、遊休したCMOSラインを使うことも多く、メサ溝を使わず、プレーナ型でpn接合界面の露出表面の電界緩和を図る方法として、ガードリングと呼ばれる技術が知られている。これは図9を用いて説明する。

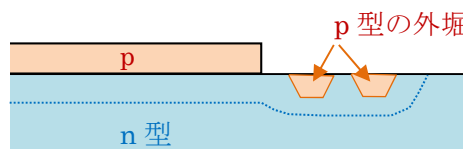


図9 ガードリング構造

n型層上にp型層があつてpn接合となり、これに逆バイアスが加わると空乏層ができる。空乏層はp型層の端で縮まるが、端から若干の距離を置いてp型の外堀を置くと、pn界面が横に延び、空乏層が外に広がり、電界集中を緩和することができる。この外堀はデバイスを囲んで見えるため、ガードリングと呼ばれている。この構造設計にはデバイスシミュレータを用いた電界強度計算が使われ、リングの数、間隔、深さやド

ープ濃度の設定などのチューニング作業が必要である。筆者も以前に取り組んだことがあるが、高耐圧を狙うと、ガードリングの本数が増え、チップ面積が増えて、チップコストがあがるなどの問題があったのを記憶している。

このほか、p型端に MOS デバイスを形成し空乏層を横に延ばすフィールドプレートと呼ばれる技術がある。これは、図 10 に示されるように、空乏層が縮みやすい p 型層の端に MOS 構造を形成し、n 型層より低い電圧の逆バイアスをかけることで、MOS 直下を空乏化させ、耐圧を向上させる。

以上紹介してきた技術は、メサ溝を掘ることなく高耐圧化をさせるための技術であり、特に電源電圧が 15V を超えるようなアナログ IC に使われる。

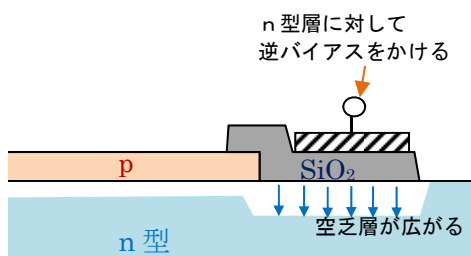


図 10 フィールドリミテイングプレート

5. パワー半導体におけるライフタイム制御技術

パワー半導体、とりわけバイポーラ型デバイス (pin ダイオード、バイポーラトランジスタ、IGBT 等) においては、通電に伴う過剰キャリアの蓄積が、スイッチ速度を遅くする要因となる。過剰キャリアの消弧には、キャリアの再結合が関わり、その直接の指標が少数キャリア寿命、すなわちライフタイムである。ここでは、Si 半導体

を前提にライフタイムを抑制法について解説する。

ライフタイムの抑制法として広く使われる技術として、重金属拡散と荷電粒子の照射がある。拡散材として広く用いられるものとして Au (金) があげられる。Au は Si 中の拡散係数が非常に大きく、非常に簡単に基板全体のライフタイム調整が可能である。つまり、金の拡散係数は 800°C で $1 \times 10^{-9} \text{m}^2/\text{s}$ ほどある。この数値はたとえば、1 時間この温度で拡散させたときに、 \sqrt{Dt} で示される拡散長 1.9mm となる。ウェハの厚みは 0.5mm 程度であることから、Au を基板の片面あるいは両面に蒸着させて、800°C で加熱すると、表から裏まで全深さ領域まで均一に金を拡散できる。このとき金のドーピング濃度は金の Si への固溶限界で決まる。固溶限界については、材料拡散のデータベース等を参照してほしいが、拡散温度で自由に Si 中のドーブ濃度を調整できる。拡散温度が高ければ高いほど、固溶限界が増加する傾向にあり、拡散温度をあげればライフタイムをより低く抑制することができる。Si は単結晶で高品質なものであれば、100 μs 程度のライフタイムをもつが、Au 拡散をすることで、拡散温度が 850°C のときに 10~30 μs 、1050°C で 1 μs 、1200°C で 0.2 μs 程度に調整できる。

このほかの拡散源として、Fe や Pt なども用いられる。Au は 100°C 程度の高温でバイスを動作させるとライフタイム抑制の効果が薄れたり、また過剰にドーブすると pn 接合のリーク電流を発生させるデメリットがあるが、Pt ではその弊害を低く抑えることができる。

IGBT や pin ダイオードにおいて、高速

化させるために i 層、あるいはアノード層との界面付近など、限定された部位についてライフタイム抑制を行うときには、プロトン (H イオン) や電子線の照射が行われる。これは荷電粒子を高い電圧で加速させて、ウェハに照射させるもので、照射された荷電粒子が基板の結晶を破壊することで、欠陥を誘起し、ライフタイムを抑制するものである。この方法では表面からある一定の深さに選択的に欠陥領域を作ることが可能で、加速電圧を高くするとより深く、加速電圧を低くするとより浅く、欠陥の導入層の深さを調整することが可能である。加速電位と欠陥層深さ、そしてライフタイムとの相関に関するデータは、半導体製造メーカーのノウハウに類するもので公表事例が少なく、ユーザー自ら基礎試験をする必要がある。

6. パワーデバイスでの重要な特性・用語解説

この節を、ここで解説すべきかどうか迷ったが、これから耐圧やスイッチ時間などの重要な特性の呼び名が出てくるため、ここで解説することとした。実学習得に重きを置く本書は他の教科と雰囲気とを異とするが、あえてここで重要な特性項目を解説しておきたい。これ以外にも重要な特性があるが、デバイスハンドブック、規格表等で解説されているので一度は目を通しておくべきである。

1) 耐圧 (耐電圧)

Breakdown Voltage (BV)

バイポーラトランジスタ、ダイオードなどすべてのデバイスにおいて、これ以上か

けると壊れる耐圧が規定されている。パワートランジスタ、ダイオードでは、実際にその電圧をかけて、壊れるわけではなく、所定のリーク電流がながれるところ、すなわち大規模な破壊につながるまえのところに耐圧が設定されている。耐圧を決めるリーク電流の条件はメーカーによってまちまちであるが、多くのデバイスで $100 \mu\text{A}/\text{cm}^2$ に達するときの印加電圧を耐圧とすることが多い。

2) 最大電流

最大電流は通電時に発生する熱の影響で半導体自身が発熱し、破壊に至るところの電流である。多くのデバイスは無限大の放熱器をつけたことを前提でこの値が設定され、放熱器をつけない単体で使用した場合、この値より低い値で破壊にいたることもある。通常チップで 1cm^2 当たり最大流せる電流は、ショットキーダイオード、バイポーラトランジスタ、MOSFET で 100A、pin ダイオードで 150A、IGBT やサイリスタで 200A 程度である。

3) 最大消費電力

トランジスタや MOSFET、IGBT 等ではアノードカソード間で消費電力が発生し、この最大電力が規定されている。規格表ではバイポーラ T_r で P_c 、MOSFET で P_D と記載される。この値も素子に無限大の放熱器がとりつけられたときの数値であり、放熱器無しであればこの損失の 1/4 程度に抑えて設計しなければならない。

4) ON 電圧・ON 抵抗

ダイオードでは、順方向電流を規格値で

流した時の電圧降下を ON 電圧といい、そこから計算される抵抗が ON 抵抗という。トランジスタや IGBT ではベース（ゲート）に十分なバイアスをかけて、コレクタ-エミッタ間（アノード - カソード間）を ON 状態にしたときに、規定の電流密度で電流を流した時の電圧降下を ON 電圧といい、対応する抵抗を ON 抵抗という。この値は、低ければ低いほど、ON 時の発熱を抑えることにつながり、パワーデバイスとして省エネルギーに関わる重要な特性である。規定値の電流密度は、通常 $100\text{A}/\text{cm}^2$ か $20\text{A}/\text{cm}^2$ である。

ダイオードの ON 電圧は、 V_f と書かれることが多く、技術者の会話でブイエフといえ、順電流通電時の ON 電圧を意味する。

5) スイッチ時間

トランジスタや MOSFET, IGBT などのトランジスタ素子において、スイッチ回路を組んで、ON-OFF 動作をさせたときの、ON になるまでの時間、OFF になるまでの時間が特性表に記載されている。バイポーラトランジスタの 5 章 10 節で詳述してあるが、ここはスイッチ時間としての、**ターンオン時間**と**ターンオフ時間**を覚えておきたい。これは、トランジスタに ON にさせる電圧信号を印加したときに、コレクタ電流が 10% から 90% になるまでの時間である。また、OFF にしたときに、90% から 10% になるまでの時間がターンオフ時間である。この指標は、ON になるまで、または OFF になるまでの過渡時間であり、スイッチ損失に直結する指標でもあり重要である。これら数値が大きいと、高周波数で ON-OFF 動作をさせたときに、消費電力が大きくなる問題が生じる。通常、バイポーラトランジスタ、IGBT にお

いては、ターンオフの方がターンオンより長くなる傾向にある。

5) ON 損失とスイッチ損失

パワートランジスタのほとんどがスイッチ用途として利用される。図 10 にスイッチ回路とスイッチ動作に伴う ON 損失、スイッチ損失の概略を示す。トランジスタは制御信号が与えられ、それに応じて ON-OFF を繰り返す。ON の比率が多くなればなるほど、負荷（Load）に伝わる電力は大きくなる。ここが DC モーターならモーターの回転数を ON の比率をマイコンで調整することで自在に変えられることになる。

トランジスタが OFF のときは、コレクタエミッタ間に電源電圧がかかるが、コレクタ電流は流れない。このときのトランジスタの消費電力は 0 である。一方、ON のときには、トランジスタに ON 電圧分がかかり、そこにコレクタ電流が流れ、電圧電流積が消費電力となり、これが **ON 損失**となる。また ON から OFF へ、OFF から ON への過渡においては、電圧電流積が大きくなり消費電力が発生し、これが**スイッチ損失 (SW 損失)**と呼ばれる。これら損失はエネルギー損失であり、発熱になり、より低いことが望まれる。つまり、トランジスタにおいては ON 電圧が低く、スイッチ時間が短いことが望まれるが、この両者はトレードオフの関係にある。一般に、パワートランジスタの中で、バイポーラトランジスタは ON 電圧が低いがスイッチ時間は大きい。MOSFET は逆である。IGBT は大電流が流せて、スイッチ時間は短いが、ON 電圧は大きい。これら両特性を同時に満たす技術が待望されている。

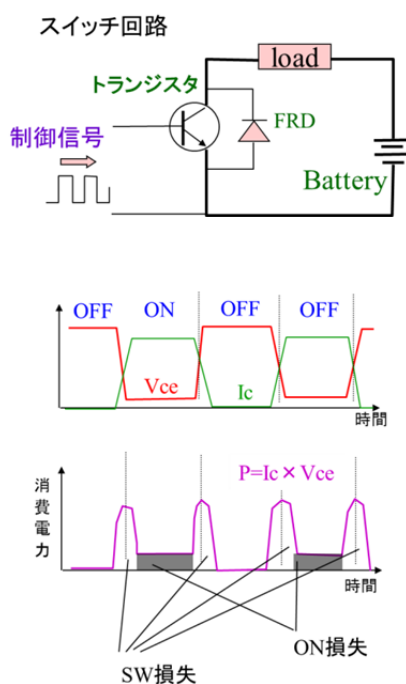


図 11 スイッチ回路における ON 損失と SW 損失

筆者は若いころ、バイポーラトランジスタではあるが、その当時新規材料である SiGe を活用し、スイッチ時間をきわめて高速化させたトランジスタの開発を行ってきた。ON 電圧、スイッチ時間も従来品を大きく超えるデバイスを作り上げたが、残念ながら周辺回路との適合性、コスト面で事業化に至らなかった。良くては値段も重要であり、そことの折り合いをつけることがパワーデバイスでの難しいところである。

6. パワーダイオード

パワー半導体としてすぐに思い浮かぶのがパワー MOS や IGBT などのスイッチ素子であるが、多くのスイッチング電源やインバーターなどの電力制御回路で最も部品点数が多いのがダイオードである。その用途がノイズ吸収と整流である。表 1 に主なパワーダイオードの種類と特徴をまとめて

みた。大きく pin ダイオードとショットキータイプに大別される。pin ダイオードの特徴は：

- ① 高耐圧品が容易に得られる
- ② 大電流時でも ON 電圧が低い
- ③ リカバリ特性を持ち、1 MHz 以上の整流に向かない。

となる。pin ダイオードは、i 層という低濃度層が逆バイアス時には絶縁層として働き、順バイアス時にはここにキャリアが蓄積し、伝導度変調により、低抵抗層として働く。

しかし、i 層に蓄積するキャリアは順バイアスから逆バイアスに切り替わる時に、キャリア放出が逆電流として流れ、逆方向回復過程の原因となる。逆方向回復過程は 1 μ 秒程度あり、1MHz を超えるような高い周波数での整流は困難である。pin ダイオードのなかでも、逆方向回復過程を 300ns 以下に抑制したものを**高速リカバリダイオード (Fast Recovery Diode : FRD)** と呼ぶ。FRD では用途に応じて、リカバリ時間が 300~50ns 程度のものが開発されているが、高速であるほど ON 電圧 (V_f) が犠牲になっているので、ユーザーも ON 電圧との兼ね合いを考慮する必要がある。高速なものほど、リカバリ波形が急峻になり、ノイズを発生することも注意が必要である。場合によっては、**スナバ回路**というノイズ吸収回路が必要になる (図 12)。

ノイズを抑えた FRD をソフトリカバリダイオードと呼ぶこともある。ソフトリカバリ性とリカバリ時間との関係もトレードオフであり、すべてが共通して性能が良いというわけではないことも理解しておく必要がある。

表1 パワーダイオードの種類と特徴

タイプ	呼称	用途
pin	一般整流用	電源回路の整流用 耐圧と順バイアスの ON 電圧で選ばれる。
	ファストリカバリ (FRD)	スイッチング回路の ノイズ吸収用 耐圧と順バイアス時の低 ON 電圧性、リカバリ特性 が重要視される。
ショット キー	Si ショットキー	一般ショットキー 高速整流用、検波用途
	SiC ショットキー	高耐圧ショットキー 自動車用

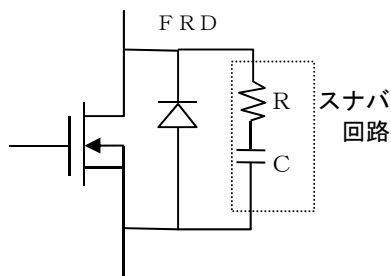


図 12 FRD用スナバ回路

FRDと並列に接続して使用する。 $f_c = 1/2\pi CR$ 以下の周波数をこの回路で吸収する。

ショットキー型のダイオードは、pinダイオードのようなキャリア蓄積層がないため、リカバリ時間を数 ns 程度に抑えることができる。ショットキーダイオードでもリカバリ特性を持つのは、半導体・メタル界面で捕獲された電荷が放出されるのと、逆バイアス時の空乏化される領域からのキャリアの放出があるからである。このように高速ではあるが、ショットキーダイオードは 100V を超える高耐圧品が難しく、かつ比較的高耐圧なものでも、pinダイオードに比べ、ON電圧が悪いという問題がある。ショットキーダイオードでは、整流特性をもたらすショットキー障壁は、フェルミレベルピンニングと呼ばれる界面での捕獲電荷が作用してできたものであり、界面特性

が耐圧やリーク電流に密接に関係しているため、歩留まり良く高耐圧なものを作るのは非常な努力が必要である。

近年高耐圧なショットキーダイオードとしてワイドギャップ半導体を用いた SiC 型ショットキーダイオードが実用化されつつある。SiC ではワイドバンドギャップであることからアバランシェ降伏電界強度が高く、薄い空乏層でも高い耐圧が得られるのが特徴である。ON電圧に関しては、Si型 pinダイオードに比べ見劣りがすると筆者は感じているが、それは問題にならないと開発関係者の鼻息は荒い。SiCも基板のコストが非常に高いという問題があり、パワーデバイス業界は(たとえ性能がよくても)高コスト品を受け入れない世界でもあり、それを越えて普及にいたるかどうかは今後の関係者の努力にかかっているだろう。

6.FRDの高性能化 <発展>

ファストリカバリダイオードの主役は Si 型の pinダイオードであり、まずはこれから説明せねばならない。前述したように、パワーダイオードにおいて、順方向電流はよく流れ、かつ逆バイアス時の耐圧はできるだけ高く、しかもリカバリ時間をできるだけ抑えたい。またリカバリ波形においても、高周波ノイズの発生を抑えるために、なだらかなリカバリ波形にしたい。これらの要望は同時に成り立たず、何かを立たせれば他が犠牲になる。皮肉ではあるが、SiCはすべてを満たすのかという問いがあれば、答えは No である。コストというトレードオフが立ちはだかる。さて、この章で pinダイオードにおいて、性能項目にわたっての向上の方法を解説する。理解が発散しな

いように、ここで 200V 用 pin ダイオードの半導体層の設計例を表 1 に示す。この構造の概略は図 8 に掲載されている。この事例で、 V_f は $100A/cm^2$ で 0.7V、耐圧は 150~200V、リカバリ時間は 500ns 程度で得られる。

表 2 200V 耐圧で設計された pin ダイオードの半導体層の設計例

部位	特徴
p 層	p ⁺ ドーピング $1 \times 10^{20}/cm^3$ で表面から $0.5 \mu m$ の深さでドーピングを施す。 ドーパント B 厚みは $0.5 \sim 1.0 \mu m$ ライフタイム制御 なし
i 層	n ⁻ 型 抵抗率 $15 \sim 20 \Omega cm$ 厚み $20 \mu m$ ドーピング濃度 $1 \times 10^{14}/cm^3$ ドーパント P ライフタイム制御 なし
基板	n ⁺ ドーピング $0.01 \sim 0.001 \Omega cm$ 厚み $500 \mu m$ 裏面の $1 \times 10^{20}/cm^3$ で $0.5 \mu m$ 程度では P 拡散 (100)面基板 (111)でも利用可能 ライフタイム制御 なし

1) 低抵抗化

ダイオードにおいて省電力という観点で重要とされるのが、規定電流密度で順電流を流した時の電圧降下で抵抗の大きさを表現する。通常 V_f と呼ばれる。この表 2 の例では 0.7V ($100A/cm^2$) はかなり良い数値と心得ていただきたい。さらにこれをよくするには、①i 層の膜厚を減らすこと、ただしこのためにはメサ溝ではなく、ガードリングやフィールドリミテイングプレートを駆使して、薄くても耐圧劣化の防止に努めなければならない。さらに、②i 層にライフタイムキラーを適量拡散して、再結合電流の増強を狙う。ライフタイムキラーには、従来 Au が用いられてきたが、リーク電流が大きくなる問題があり、近年では

白金が用いられる。この事例では、筆者の研究では、ライフタイムの抑制は 50 から 100ns 程度が適当であり、さらに 10ns 程度にするとかえって V_f は悪化してしまう。これは pin ダイオードの低抵抗性の原因となる伝導度変調現象が再結合の促進により消失するからである。このほか、p 層と n 層の部分だけに限って、ライフタイムキラーを注入すると、伝導度変調を損なわず V_f を低減できる。このような局所ライフタイム制御には、電子線照射やイオン照射が用いられるが、筆者はかつて、表層の p 型層に緩和した SiGe 層を用いることで、低抵抗化と高速化を同時に図る技術を発表している。

2) 高速化 (高速リカバリ化)

このためには、順方向電流通電時の i 層に溜まる蓄積電荷を抑制する必要がある。最も単純な方法は、蓄積電荷は順方向電流密度できまるので、あまり電流を流さないで使うというのが効果的である。ただしこれは本質的な解決法ではない。最も効果のあるのは i 層にライフタイムキラーをドーブして、キャリアのライフタイムを 10ns 程度まで抑制し、蓄積電荷を再結合させてやることである。これも前述の通り、漏れ電流が少ない白金ドーブが用いられる。ただし、これも高速化とともに低抵抗性が失われる。リカバリ時間を数十 ns にするのは容易であるが、この場合 V_f は 1.2 から 1.5V まで悪化する。

高速性と低抵抗性は強いトレードオフの関係にあるが、一方で前述した p 型層を SiGe 化すると、 V_f を損なわずに 180ns 程度までは高速化できる。筆者は、構造でのアイデアでさらなる高速低抵抗化の余地はあると考えているが、市場に出てきている

技術を見渡す限り、目を見張るものは感じられない。SiC など新材料に目を向ける前に既存技術でできる余地はないかよくよく検証する必要がある。

3) ソフトリカバリ化

リカバリ波形は通常図 13 のような形をとる。逆バイアスに切り替わったときに、リカバリ電流が直線的に増加し、空乏層が i 層一杯に広がった時点で、急減に消失する。この増加から減少に転じるところで、リカバリ電流がゼロになるところで、 di/dt が非常に大きくなり、回路のインダクタンス成分が働いて、強いノイズとなって現れる。

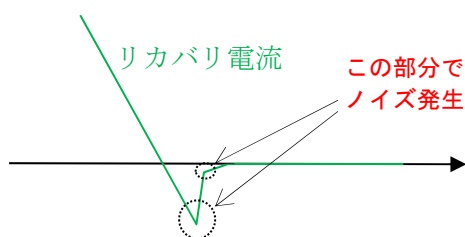


図 13 リカバリ波形

この急激に変化する電流を抑えるのに、n 型層と i 層界面のドーピング濃度の傾斜をなだらかにする方策がとられる。この部分は基板メーカーで CVD での製膜の際にドーピング濃度を徐々に減らすことで実現される。こうすることで、空乏層の広がる速度が n/i 界面に到達する前に遅くなり、ソフトリカバリ化が実現される。あまりソフトにしすぎると、空乏層が広がりにくくなり耐圧劣化につながる問題がある。

7. パワーバイポーラトランジスタ

パワートランジスタとして最も多く使われているのが、バイポーラトランジスタである。それは、パワーエレクトロニクス

世界では、いまなお性能よりコストが重視され、バイポーラがことさら製造費用が安いことによる。筆者も若い頃パワートランジスタの開発を手掛けていたことがあったが、性能が倍良くてもコストが 1 円でも高ければ買わないというユーザー評価の壁を感じてきた。バイポーラが他の MOSFET や IGBT より、性能面で劣るものの、二重拡散法の非常に簡易なステップで製造できることが、コストの安さでいまなお主役を張る理由である。そのほかバイポーラの魅力は、ON 抵抗が低いことも挙げられる。ON 電圧として、0.3V 以下も容易に実現できる。(ただしダーリトン接続は不可) デメリットは、ベースの駆動電流が大きいこと、スイッチ速度がベース電荷蓄積により遅いこと、短絡耐量が MOSFET や IGBT に比べ劣ることである。バイポーラでのスイッチ周波数は、容量にもよるが 100kHz 以下と考えて使うべきである。

図 14 に典型的なパワーバイポーラトランジスタの構造を示す。通常 n+型ウェハに n-層の Si エピタキシャル層を CVD 法で形成する。通常 n-層の抵抗率は設計するトラ

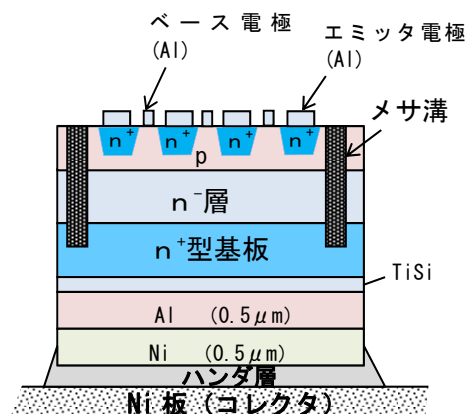


図 14 パワーバイポーラトランジスタ

ンジスタの耐圧によるが、 $10\sim 30\ \Omega\text{cm}$ とする。p型層はベースとして機能する。n⁺層のエミッタとn層との間隔がベース幅に相当し、通常 $0.2\sim 0.6\ \mu\text{m}$ に設定する。ドーピング濃度は $10^{15}/\text{cm}^3$ に設定するが、高耐圧品であれば $10^{16}\sim 10^{18}/\text{cm}^3$ にする必要がある。この場合は、電流増幅率が犠牲になる。n⁺層のエミッタ層はできるだけ高濃度に設定するが、それは電流増幅率を高めるためである。通常、 $10^{20}/\text{cm}^3$ 程度に設定するが、さらに高濃度化させるために結晶 Si ではなく多結晶 Si を CVD 法で形成する方法も用いられる（ポリシリコンエミッタ）。この際に、ポリシリコン層とベース層の間に、薄い自然酸化膜を挿入すると、著しい電流増幅率の向上効果が得られ多用されている。

小電力用途と大きく異なる点は、コレクタが基板の裏面になること、エミッタとベースを交互の入れ子にした**楕形電極**とすること、さらに周辺との絶縁を確実にするために、**メサ溝**を掘り、ガラスやポリイミドの中に充填させることである。楕形電極とすることで、チップ面積全域にわたって、コレクタ電流を分散させ、大電流化が可能になる。これで $100\sim 150\text{A}/\text{cm}^2$ の電流密度が実現されている。メサ溝の他に、ガードリングがフィールドリミティングプレートも用いられるが、バイポーラは低コストが魅力であり、上記プロセスは追加コストになるため、旧来のメサ溝方式が多用されている。

パワーバイポーラトランジスタでしばしば経験することとして、電流増幅率が 20 程度と低く抑えられていることがある。耐電圧として 600V を超える電圧を素子に持た

せようとする、ベースとコレクタの界面に空乏層が発生する。この空乏層はドーピング濃度の低い n-層に大きく広がるが、少なからずベース側にも広がる。ベース側一杯に空乏層が広がると、**パンチスルー**がおき、ON になりっぱなしでスイッチ動作ができなくなる。したがって、ベースの濃度を高くすることで、ベースへの空乏層の広がりを抑制する。同じ理由で、ベース幅を大きく設定することも行われる。上記の理由で、電流増幅率が低くなる。

最後に、バイポーラトランジスタによく見られるダーリントン接続について説明する。これは、トランジスタ 2 個を図 15 のように接続して、一つの部品としてパッケージ化したもので、高い電流増幅率をもつバイポーラトランジスタとして使用することができる。この場合、電流増幅率は 2 個のトランジスタの増幅率の積となり、電流増幅率 20 程度の高電圧品を組み合わせても 400 程度の増幅率とすることができる。但し、この場合、トランジスタの ON 電圧は 2 個のトランジスタの両方を駆動させるために 1V 以上になることも注意が必要である。このようなダーリントン素子は低コスト家電品に多く使われている。

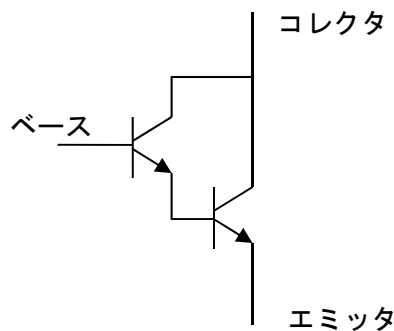


図 15 ダーリントン接続

8. パワーMOSFET

MOSFET はバイポーラトランジスタのような電荷蓄積がなく、高速スイッチングが可能で、かつ電圧制御素子なのでバイポーラのような電流駆動の必要がなく、ドライブ回路も非常に簡略化できるメリットがある。近年では、インバーターを小型化させるためにスイッチ周波数の高周波化が試みられているが、バイポーラでは 100kHz 以下であるのに対して、MOSFET では 1MHz 以上も容易である。MOSFET の唯一の欠点が、電流密度が稼げないこと、ON 抵抗が大きいことがあげられる。シングルバイポーラで数 $m\Omega\text{cm}^2$ 程度まで低抵抗化できるところを、MOSFET ではその 10 倍は高い。しかし、近年では CMOS プロセスを利用し、微細化技術を駆使して低 ON 抵抗化が進められている。

MOSFET のバイポーラトランジスタと比較しての大きなメリットとして、熱暴走を起こしにくいことがあげられる。バイポーラは温度が上がると、ベース電流が pn 接合の整流方程式に基づくことから分かるように、増加する傾向にある。回路中何等かの影響でトランジスタが過熱した場合、素子に電流が集中し、自己過熱で最後破壊にいたる。このような現象を熱暴走という。MOSFET は ON 動作時のドレイン電流はチャンネル層のドリフト電流で決まり、それを支配する電界効果移動度は温度が上がると格子散乱が増大し、低下する。つまり温度が上がると、電流が流れにくくなるのが、MOSFET が熱暴走を起こしにくい所以である。したがってバイポーラの回路では温度を感知して、ベース電流を抑制する保護回路が必要になるが、MOSFET ではそれを

省略することができる。

図 16 にパワートランジスタとしての MOSFET の実例を示す。代表的なのは二重拡散 MOS (Double-diffusion MOS) とトレンチ型 MOS があげられる。パワートランジスタとして MOSFET を構成する場合は、電流の流れを縦方向とし、基板自体を n 型基板としてドレインとして機能させる。ゲートに正バイアスを加えると、ゲート直下の p 型層に n 型のチャンネルが形成され、電子がソースから基板の下面にむかって流れる。この際に電流の主成分は電子による電流である。図 16(b) にトレンチ MOS の例を示す。これはゲート絶縁膜を縦にすることで、電流密度を増大させることを狙った

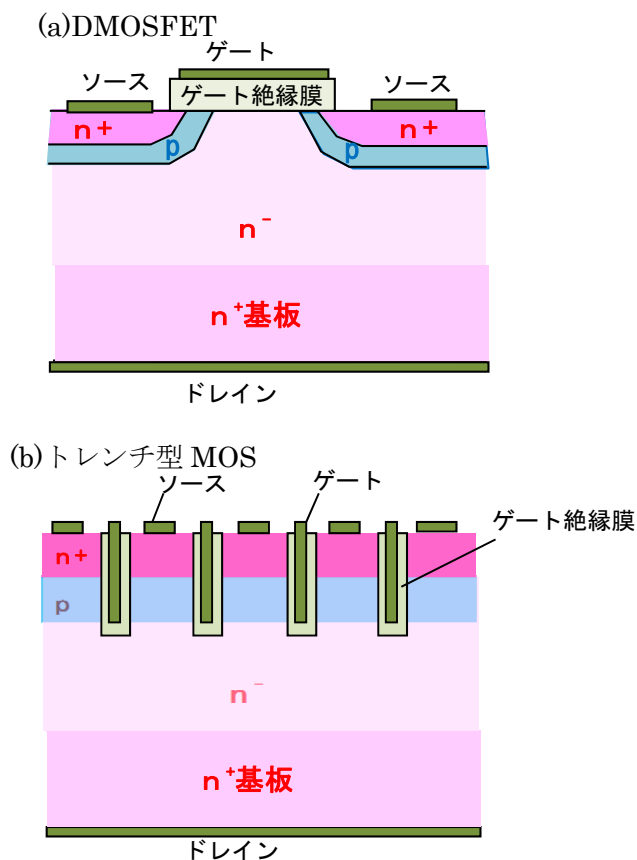


図 16 パワーMOSFET の例

ものである。DMOSFET は圧倒的な作りやすさからローコスト品として、トレンチ MOS は低抵抗型高級品として使い分けられている。

多くの市販品のパワー MOSFET はソース電極とチャンネルの p 型層の一部をショートさせてある。こうすることで、簡単に MOSFET 内部に pin ダイオードを作ることができる。このダイオードはインバーターとして利用する場合、MOSFET を保護する還流ダイオードとして使用される。

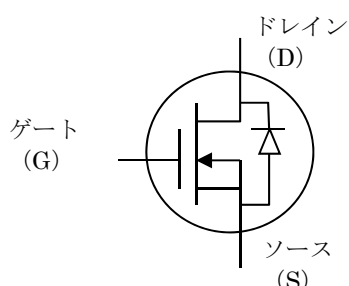


図 17 還流ダイオードを内蔵したパワー MOSFET

最後に、パワー MOSFET ならではの利用として同期整流回路について紹介する。低い電圧の交流を整流する場合、DC-DC 変換回路で Si 整流ダイオードを使うと、順方向電圧として 0.6V の電圧降下が生じる。LSI 用の DC-DC コンバーターでは 3.3V の DC を出力するところ、整流ダイオードでの 0.6V の損失は大きい。そこで、ダイオードに MOSFET を使用し、制御信号を加えて整流動作をさせる方法がとられる。図 18 に回路例を示す。前段の p-MOSFET に方形波を入れて直流から交流を作り出している。その方形波と逆相の信号を後段の n MOSFET に入力すると、還流信号が MOSFET を通るときに、MOSFET のチャンネル形成によって低抵抗化される。従来で

あれば、ここにファストリカバリダイオードが挿入されているが、MOSFET を代わりに置くことで、低抵抗なダイオードとして使用することができる。この回路はモバイル機器での省エネに大きく貢献しており、我々の身の回りになくはない回路になっている。現在、パワー MOSFET の出荷の大きな割合が同期整流用で占められると言っても過言ではない。

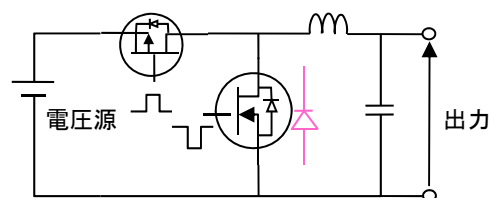


図 18 同期整流方式を用いた DC-DC コンバーターの例

9.IGBT

300V 以上の高耐電圧領域で広く活用されているデバイスとして、Insulated Gate bipolar transistor (IGBT) があげられる。この構造を図 19 に示す。DMOSFET と極めて構造が似ているが、基板に p + 型基板を用いる。図 20 に ON 動作時の模式図を示すが、ゲートに正電位を加えると、ゲート絶縁膜直下に n チャンネルが形成できカソードと n-層が開通する。p + 基板と n-基板の間にダイオードが形成されており、このダイオードを通してカソードとアノード間はスイッチ ON の状態になる。ゲート電圧を切れば、チャンネルがなくなり、スイッチオフになる。

動作が MOSFET とよく似ているのだが、MOSFET と大きく異なる点は ON 状態にある。ON の時に n-層には n+からの電子が

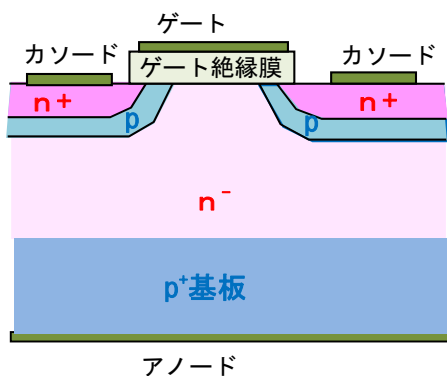


図 19 IGBT の構造図

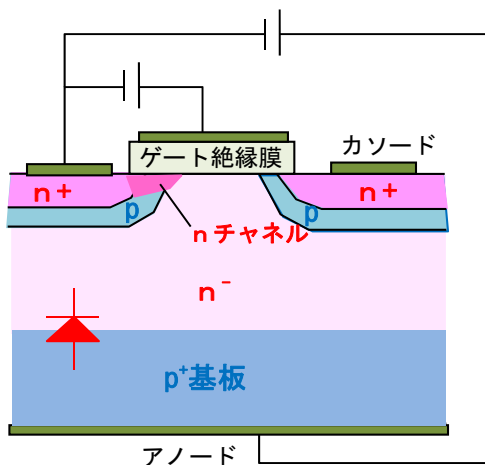


図 20 IGBT の ON 状態

注入され、同時 p+基板からホールが注入される。つまり n-層では両キャリアがじゃぶじゃぶと高密度で存在するため、**伝導度変調**が起こり、低抵抗化する。MOSFET に対して、低抵抗で大電流を実現できることが IGBT のメリットである。

スイッチ速度については、バイポーラと比較して高速動作が実現できる。これはカソードからアノードにかけて、npnp の四層になっているが、この中には npn と pnp のトランジスタが 1 個ずつ含まれることになる。バイポーラトランジスタではベースの蓄積電荷が抜けるまで OFF 時間の遅れが

生じるが、IGBT では電流増幅率を気にする必要はなく、ライフタイムキラーをドープして高速化することができる。IGBT ではバイポーラが難しかった 1MHz 程度のスイッチ動作が可能である。

IGBT は、バイポーラを比較して、パンチスルーや熱暴走が少なく、短絡耐量に優れる点も特長として挙げられる。近年 IGBT の進歩は目覚ましく、3000V-数千 A クラスの電车用インバーター向けのものも開発されている。後述する GTO やサイリスタの領域も IGBT で置き換えが進んでいる。

10.サイリスタ・GTO

サイリスタは図 20 に示すように npnp の構造となっている。この構造で、カソードをアースとし、アノードが正電位で、ゲートに正電位を加えると、上層の npn トランジスタが ON になって電子が n+層から n-層に注入される。それと同時に下層の pnp トランジスタにとって n-層はベースとして機能し、ここに電子が注入されるということは、ベース電流が流されたことに相当し、ここも ON になる。ON になったことで、p+基板からホールが注入され、上からの 2 層目の p 型層にホール入り、これが上層の

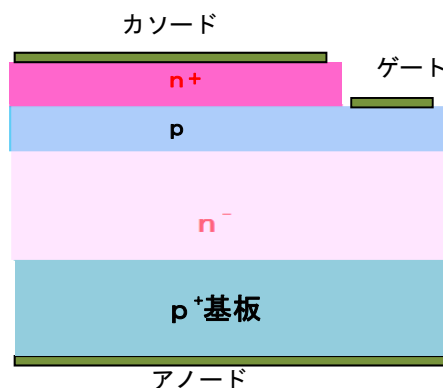


図 20 サイリスタの構造

npn トランジスタのベース電流となる。つまり、一度ゲートに信号が入ると、nnp と npn のそれぞれが他方を ON するよう動作し、サイリスタ自体に ON の持続性を持たせる。OFF にするには、アノード電位をゼロにすればよい。

サイリスタはパルスで ON にできる特性から、交流の波形整形による電力制御に用いられる。図 21 に示されるようにパルス信号をゲートに入れてやることで、サイリスタが ON になり、波形が出力される。パルスのタイミングを調整して入れることで、波形を任意の面積で出力することができる。これを用いて、電力制御が可能になる。

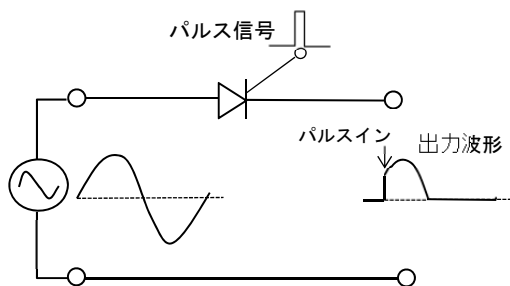


図 21 サイリスタを用いた波形整形

サイリスタは一旦 OFF にすると、ON になりっぱなしで、OFF にするにはいったん電源をゼロに戻さなければならない。サイリスタの構造を図 22 のようなトレンチ構造とし、OFF にするときゲートから電流を吸い込める構造としたのが Gate-turn-off サイリスタ (GTO) と呼ばれる。これは、吸い込み電流としてアノード電流に相当する分をゲートから引っ張る必要がある。GTO は能動素子としては最大級の電力用途に使われ、6000V-6000A 級の開

発に及んでいる。用途として、大型モーター駆動、大型誘導加熱や直流送電用の DC-AC 変換機などがあげられる。

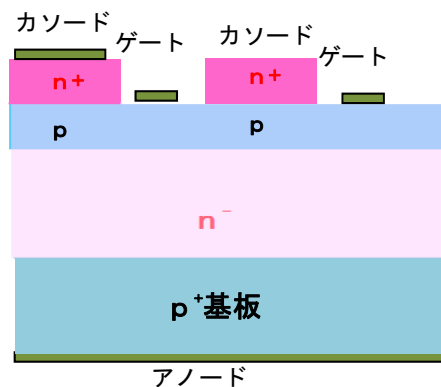


図 21 GTO の構造

参考文献

- 1) R.L. Davis et al, IEEE Trans. Electron Devices, ED-11(1964)p.313.
- 2) パワーデバイスの諸技術を広範囲に渡ってまとめた本として次の名著がある。
「パワーデバイス・パワーIC ハンドブック」
コロナ社 電気学会 高性能高機能パワーデバイス・パワーIC 調査専門委員会編
- 3) パワーデバイスを勉強するのであれば、バリガ先生の次の本を勧める。
B. J.Baliga, "Power semiconductor devices"
PWS Publishing Co.