

第 6 章 MOSFET

能動動作をする半導体デバイスとして、東の横綱をバイポーラトランジスタとするなら、MOSFET はさながら西の横綱といったところであろう。MOSFET は理解する過程でキャリアの拡散の概念を必要とせず、オームの法則と電磁気学の基礎があれば理解できる。前章を読み進めた読者にとっては大変簡単に思われるかもしれない。この章でほぼ集積回路に登場するすべてのデバイスを理解することになるため、一気に読んで自分のものにしていただきたい。これを理解すれば、半導体デバイスのほとんどをカバーできることであろう。

1. MOSFET の概略

MOSFET は Metal-oxide-semiconductor Field Effect Transistor、金属-酸化物-半導体接合電界効果トランジスタの略称である。図 1 に示されるように、p 型の Si 基板に n 型の領域を 2 か所作り、その 2 か所を橋渡しするように MOS キャパシタを作りつけたものである。それぞれの領域に金属電極を形成して、ソース、ドレイン、そしてゲートとする。図 1 の例は n チャネル型 MOSFET の例であるが、n と p を入れ替えると p チャネル型となる。

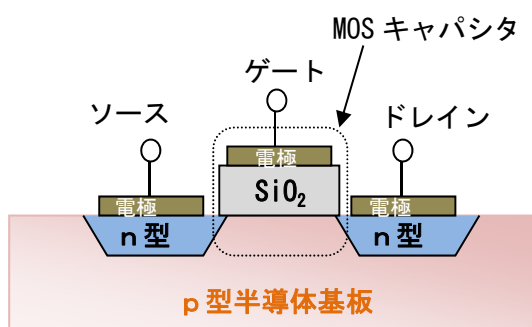


図 1 n チャネル型 MOSFET の模式図

図 2 に MOSFET の回路記号を示す。N チャネル MOS では矢印がゲートに向かう形で記されるが、バイポーラトランジスタの npn 型トランジスタとは逆になるので初

学者は気をつけてほしい。

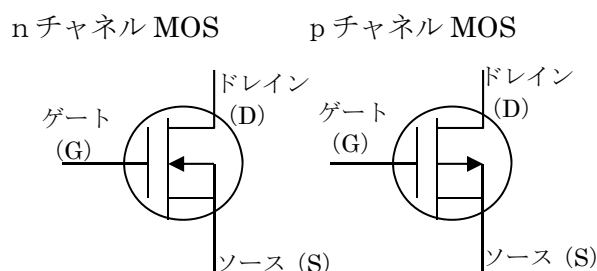


図 2 MOSFET の回路記号

MOSFET の電流の流れを理解するために、図 3 の回路図を見てほしい。ここで示される例は n チャネル型の例である。ソース (S) に対してドレイン (D) の電位を高くして、ソースゲート間に電圧 (V_{gs}) を加えると、ドレインに電流が流れる。つまりゲートに電位をかけることで、ドレイン電流を自由に変化させることができる。このとき、ゲートへの電流の流れこみは極めて微小であり、ソースゲート間の内部インピーダンスは無有限大としてよい。実際には MOSFET の規模 (最大ドレイン電流) にもよるが $1\text{ M}\Omega$ 以上と考えてよい。つまり MOSFET は極めて高い出力インピーダン

スをもつ回路からの直接駆動が容易である。したがって、ゲート駆動にバッファアンプが不要であり、回路が簡素化できるというバイポーラにはない好ましい特徴がある。(ただし、パワー用 MOSFET では例外である。入力の容量がおおきいため、バッファアンプは必要になる。)

この電圧電流増幅動作において、 V_{gs} とドレイン電流 I_d の関係を比例するとして近似したときに、比例係数 g_m が**相互コンダクタンス**と呼ばれる。

$$I_d = g_m V_{gs} \quad (1)$$

この数値はバイポーラトランジスタでは電流増幅率 β に相当するもので、MOSFET を用いた電圧増幅回路を設計する上で大変重要な特性値となる。

図 3 に MOSFET の小信号時に等価回路を示す。ゲートソース間は無限大のインピーダンスであるため、回路上のソースとドレイン間は接続されていない。ドレインソース間には $g_m V_{gs}$ で表される定電流素子と内部抵抗 r_d の並列で記述される。交流特性の計算のために、G-S 間、G-D 間の付帯容量をいれてあるが、低周波数でこの容量の存在が無視できるときは、はずして計算をしてもさしつかえない。この等価回路は略式のものであるが、回路の利得特性、周波数特性計算には十分に耐えるものである。

FET を用いた電子回路の計算方法は他書にゆずりたいが、図 4 に示されるソース接地型の電圧増幅器の利得は

$$A_v = V_{out}/V_{in} = -g_m R_d \quad (1)$$

で表されることを覚えておきたい。

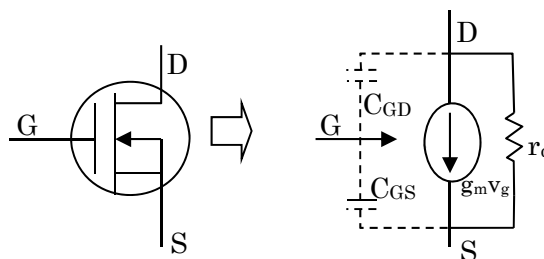


図 3 MOSFET の略式等価回路

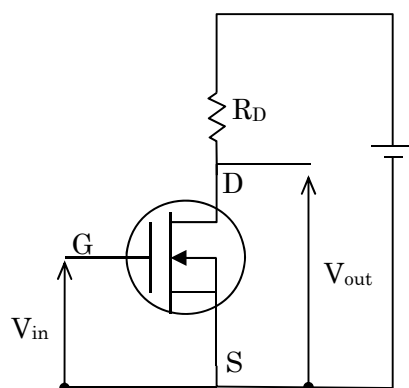


図 4 ソース接地型増幅回路の例

図 4 に MOSFET の代表的な I_d - V_{DS} 特性を示す。バイポーラとほぼ同様の飽和特性が見られるが、ドレイン電流は V_{gs} に依存して増加していくのが特徴である。ソースドレイン間の電圧がゲート電圧より大きくなると、より正確には $V_{gs} - V_T$ (閾値電圧) より大きいところでは、ドレイン電流が飽和し、**飽和領域**と呼ばれる。この領域では MOSFET の D-S 間はあたかも定電流素子として動作する。また飽和領域では、ドレイン電流はゲート電圧の 2 乗に比例すると考えてよい。ソースドレイン間の電圧が $V_{gs} - V_T$ より低いところでは**線形領域**と呼ばれる。閾値電圧については、後節の MOS キャパシタのところでも詳しく説明する。

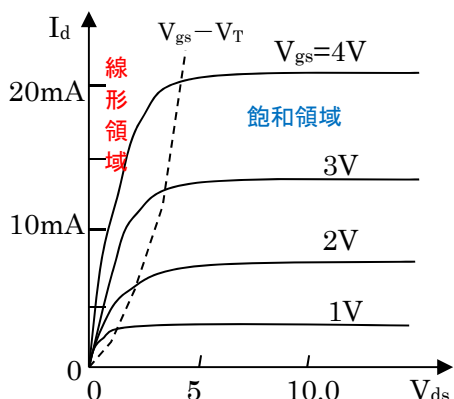


図5 MOSFETの I_d - V_{DS} 特性

2. これで一発理解 MOSFET

MOSFETのゲート金属の直下は絶縁膜、そして半導体の三層構造となっている。この部分はMOSキャパシタと呼ばれ、絶縁膜が誘電体層として働く平行平板コンデンサをみなせる。図2に示されるMOSキャパシタの金属膜に正バイアスを加えると、金属膜側が正に帯電し、半導体の絶縁膜側が負に帯電する。コンデンサとみなせば、非常にシンプルに理解できる。

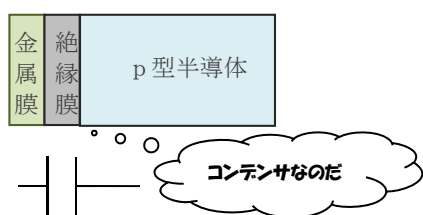


図6 nチャネルMOSとコンデンサ

負に帯電するという事はp型半導体で電子が集まるということである。実際には、電子がソースから流入し電子が集まる。電子が集まった所は、電子の密度がホールより多くなりn型化する。p型半導体でもMOS界面はn型化すると考える。界面のn

型化した部分は電流の通り道となり、n型チャンネルという。”channel”は小道の意味である。

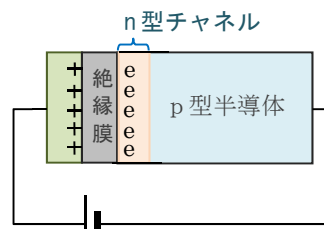


図3 正バイアスをかけたnチャネルMOS

ここまで説明したらMOSFETの通電の仕組みの理解は容易であろう。MOSFETのソースとドレイン間に電池を接続し、ゲートに無バイアスとしたら、ソースドレイン間はn-p-n構造であり、2個のダイオードが方向違いに接続されているとみなせ、ソースとドレイン間は絶縁状態となる。したがって、ドレイン電流は流れない。

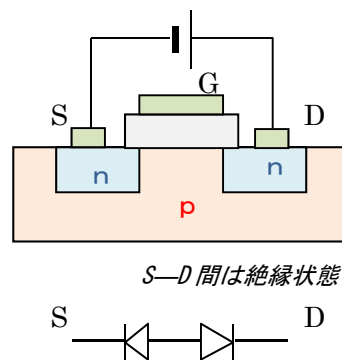


図7 ゲート無バイアス時のMOSFET

しかし、これにゲートとソース間に電池を追加してみよう(図8)。このときp型の半導体基板の底はソースに接続をしたとする。すると、絶縁膜下にn型チャンネルができ、ソースとドレイン間はn-n-nで結ばれ、電流が流れる。このとき、ドレイン電流はゲートソース間のチャンネル抵抗で電流が決まる。ゲートにかかる正バイアスが大きく

なれば、それに応じて、コンデンサの $Q=CV$ の式からもわかるように、チャンネルのなかの電荷が増えて、チャンネル抵抗が下がり、ドレイン電流が増加する。ここで断わっておくが、チャンネル間は完全に抵抗と等価ではない。MOSFET のソースドレイン間の電圧電流特性からわかるように、飽和領域と線形領域があり、飽和領域ではチャンネルは定電流素子として機能する。このメカニズムの理解には後節で説明するピンチオフの説明が必要である。

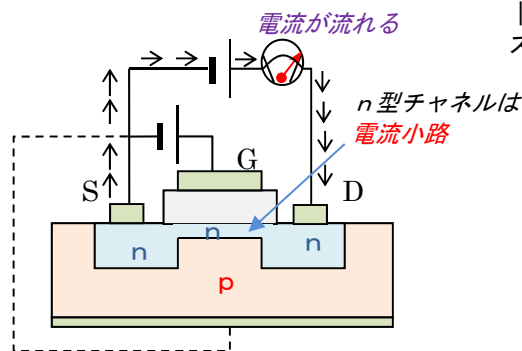


図8 ゲートバイアス時の MOSFET

線形領域と飽和領域のドレイン電流の式を説明する。これも詳細な説明は後節で行うが、非常に単純な理解を試みる。

線形領域

$$I_d = \frac{W}{L} \mu C_{ox} \left[(V_G - V_T) V_D - \frac{1}{2} V_D^2 \right] \quad (3)$$

飽和領域

$$I_d = \frac{W}{2L} \mu C_{ox} (V_G - V_T)^2 \quad (4)$$

この式において、 W はチャンネルの幅、 L はチャンネルの長さ、 μ は半導体中の電子の

移動度、 C_{ox} は MOS キャパシタの単位面積当たりの容量である。 V_T とは閾値電圧とよばれ、チャンネルに電子が現れるのに必要なゲート電圧であるが、詳しくは後節の MOS キャパシタで説明する。線形領域の例を取って説明すると、図 6 に示される、直方体のチャンネルに MOS キャパシタの半導体側の電荷が詰められていると考えることができる。

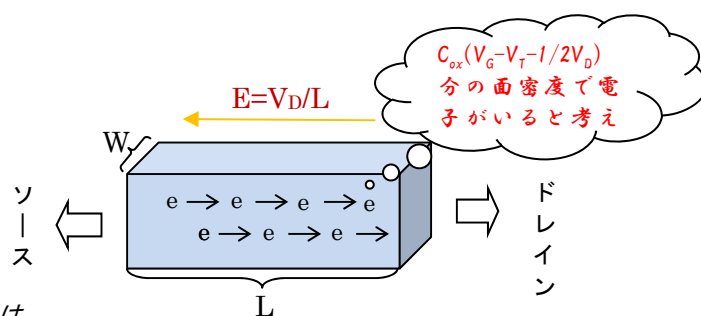


図9 線形領域のチャンネルの模式図

チャンネル内の電荷の総量は $Q=CV$ の式より、 C_{ox} と V_G の積になるような気がするが、ゲート電圧に対して、閾値電圧 V_T 分だけ目減りすると、ドレイン付近では V_D の電位がかかってその分も目減りする。 V_D の目減り分はチャンネル内でもソースに近くなるほど影響はなくなるので、平均として $1/2V_D$ だけ目減りすると考える。つまり、チャンネル内には $C_{ox}(V_G - V_T - 1/2V_D)$ 分の面密度だけ電子がいると考える。チャンネル電流を出すには、電荷の面密度 \times 電界 \times チャンネル幅 \times 移動度であるので、(3)式が導出される。

$$I_d = \underbrace{C_{ox} \left(V_G - V_T - \frac{1}{2} V_D \right)}_{\text{面電荷密度}} \times \underbrace{\frac{V_D}{L}}_{\text{電界}} \times \underbrace{W \times \mu}_{\text{移動度}}$$

このように、ドレイン電流は電荷密度、移動度、電界強度の積で表される、つまりオ

ームの法則をもとに理解ができる。

飽和領域の式については、チャンネルのドレイン付近にピンチオフの部分ができ、チャンネルのドレイン端はゲート電圧と同じになっていると考え、線形領域の式の V_D を $V_G - V_T$ で置き換えると、飽和領域の式が導かれる。

3. MOSFET

MOSFET の動作機構を理解するためには一歩戻って、ゲートの部分の MOS キャパシタの理解が必要である。

MOS キャパシタは図 6 に示されるような金属と酸化膜（絶縁膜）と半導体の 3 層構造からなるコンデンサーである。図 10 のように p 型の半導体で作られた場合、n チャンネル型 MOS とも呼ばれる。

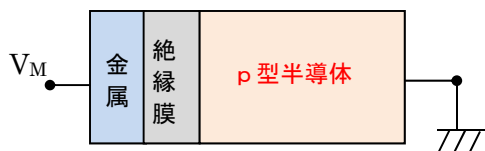


図 10 n チャンネル型 MOS

以降、金属に正バイアスがかけられた場合、負バイアスがかけられた場合でキャリアがどのように蓄積されるかについて説明する。

(1) 正バイアス $V_M > 0$ の場合

この場合、金属側に正電位がかかり、金属が正に帯電する。そこから半導体にむけて電気力線が発せられ、p 型半導体の絶縁膜との界面付近のホールがより遠ざかるように押しのけられ、その部分に負の固定電荷が現れ、空乏層となる。また V_M がある

程度大きくなると p 型半導体の表面付近に電子が誘起される。このとき、電子が現れた部分を**反転層**と呼ぶ。

以上説明した動作をバンド図を用いて説明する。図 11 に反転層が形成されているときの MOS キャパシタのバンド図を示す。

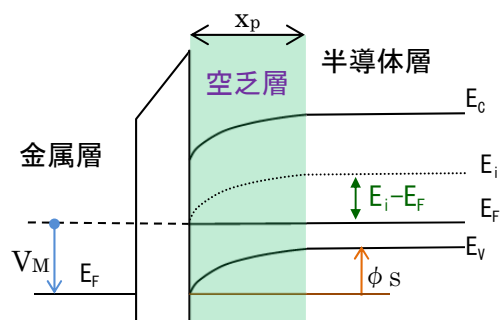


図 11 空乏層が形成されている MOS キャパシタのバンド図

金属層に正電位が加わると、半導体側の界面部分が空乏化しバンドに曲がりが生じる。空乏層幅を x_p とすると、バンドが曲がって生じる空乏層電位 ϕ_s は次の式であらわされる。この式は、 $\nabla^2 V = -\frac{\rho}{\epsilon}$ のポアソン式から導かれる。

$$\phi_s = \iint_0^{x_p} \frac{qN_a}{\epsilon_s \epsilon_0} dx^2 = \frac{qN_a}{2\epsilon_s \epsilon_0} x_p^2 \quad (5)$$

正バイアスが大きくなり、真性時のフェルミレベルを E_i とすると $E_i - E_f < \phi_s$ になると、表面でのフェルミレベルがバンド中央より上に位置することになる。このとき表面は n 型となり、電子が蓄積され**反転層**が形成される。

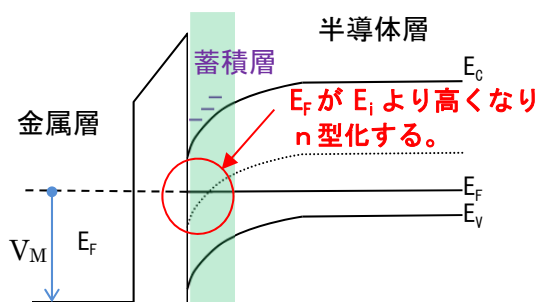


図 12 反転層の形成されている MOS キャパシタのバンド図

蓄積層が形成される条件は、経験上、

$$2(E_i - E_f) = \phi_s \quad (6)$$

であることが知られている。半導体層のフェルミレベルとフェルミ中央との差($E_i - E_f$)は、p型半導体であれば、ドーピング濃度を N_A として、ドーピング十分に活性化されているとされたときに、

$$E_i - E_f = \frac{kT}{q} \log\left(\frac{N_A}{N_i}\right) \quad (7)$$

で表され、n型半導体であれば

$$E_f - E_i = \frac{kT}{q} \log\left(\frac{N_D}{N_i}\right) \quad (8)$$

であらわされる。これらの式は、第2章で説明されるボルツマン関数から容易に求められる。

このように反転層が形成されると、バンドの曲がりが生じているところの空乏層の幅は金属膜にかけられた電位に依らずほぼ一定になる。蓄積層形成時の空乏層の幅 x_{inv} は、(5)と(6)式から導出することができる。

$$x_{inv} = \sqrt{\frac{4\epsilon_S \epsilon_0}{qN_A} (E_i - E_f)} \quad (9)$$

ここで、反転層ができたときの、半導体表面に誘起される電荷の総量 Q_S を求める。 Q_S は、MOSFET のドレイン電流を計算す

るために重要な数値である。ここで覚えておきたいこととして、表面電荷 Q_S は空乏層内の固定電荷量 Q_d と蓄積層の電子の電荷量 Q_{inv} の和になる。

$$Q_S = Q_d + Q_{inv} \quad (10)$$

空乏層の固定電荷量 Q_d は

$$Q_d = qN_A x_{inv} = \sqrt{4\epsilon_S \epsilon_0 qN_A (E_i - E_f)} \quad (11)$$

となる。

Q_{inv} は、外部印加電圧で決まる。つまり MOS キャパシタの容量 C は、絶縁膜の容量 C_{ox} と空乏層容量 C_{inv} の直列接続にした合成容量となるが、コンデンサの蓄積電荷の計算式から

$$Q_S = CV_M = \left(\frac{C_{ox} C_{inv}}{C_{ox} + C_{inv}}\right) V_M \quad (12)$$

となる。絶縁膜の容量 C_{ox} と空乏層容量 C_{inv} はそれぞれ、次の式で表される。

$$C_{inv} = \epsilon_S \epsilon_0 / x_{inv} = \sqrt{\frac{\epsilon_S \epsilon_0 qN_A}{4(E_i - E_f)}} \quad (13)$$

$$C_{ox} = \epsilon_{ox} \epsilon_0 / x_{ox} \quad (14)$$

この式において、 ϵ_{ox} 、 x_{ox} はそれぞれ絶縁膜の比誘電率、膜厚である。

(2) 負バイアス $V_M < 0$ の場合

この場合は、p型半導体のホールが絶縁膜側に引き寄せられ、多数キャリアが蓄積されるために、蓄積領域と呼ばれる。このときの表面に誘起される電荷総量 Q_S は

$$Q_S = C_{ox} V_M \quad (15)$$

で表される。

4. MOS キャパシタの C-V 特性

MOSFET の試作評価において、ゲート金属と半導体間の電圧-容量特性(C-V 特性)を取得することが一般的になされる。この特性を取得することで、閾値電圧、界面電荷密度、相互コンダクタンスの見積もりが可能になる。ここでは、MOS キャパシタの C-V 特性について解説する。

図 13 に典型的な n チャネル MOS の C-V 特性を示す。金属の電圧が負である場合は蓄積領域となり、MOS キャパシタは絶縁膜の容量 C_{ox} と等しくなる。一方、正バイアスの領域になると、半導体層に空乏層が形成され、容量は低下してくる。実際の容量測定では、DC バイアスを重ねた高周波電圧を MOS にかけて、高周波電流を測定し、容量を計算するが、高周波数を使うか低周波数を使うかで、正バイアスの容量特性は変わってくる。例えば典型的な SiMOS キャパシタでは、1kHz 以上の高周波では蓄積領域での電子の生成消滅が高周波信号に回答できず、この場合蓄積電荷は測定上みえてこなくなる。この場合、MOS キャパシタの全体容量は C_{ox} と C_{inv} の直列成分となる。10Hz 以下の低周波で測定する場合は蓄積電荷の生成消滅が十分回答できるようになり、MOS キャパシタの全体容量は C_{ox} となる。低周波数測定で正バイアス領域で容量が増加し始めるバイアス点は、反転領域ができはじめの閾値電圧 V_T となる。閾値電圧は MOSFET におけるドレイン電流が流れだすゲートバイアス点を表し、MOSFET のデバイスとの性能を評価する上で大変重要な数値である。

C-V 特性を周波数を変えながら測定すると、ある程度の高周波になると蓄積領域の

容量が減少してくる。この境目の周波数は半導体層のキャリアの生成、消滅の速度に関係しており、境目の周波数からキャリアの生成、消滅のライフタイムを見積もることが可能である。

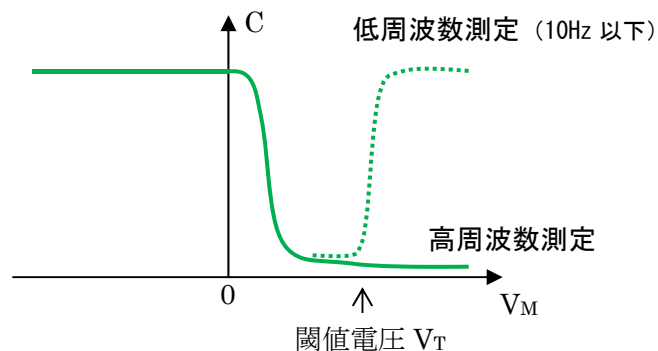


図 13 n チャネル MOS の C-V 特性例

C-V 特性の理論式は次のようにあらわされる。この式は負バイアスから閾値電圧までの範囲で有効である。

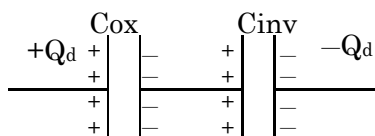
$$\frac{1}{C} = \frac{1}{C_{ox}} \sqrt{\frac{2\epsilon_{ox}^2 \epsilon_0}{qN_A \epsilon_{Si} x_{ox}^2} V_M + 1} \quad (16)$$

5. 閾値電圧 (しきいちでんあつ)

閾値電圧は MOSFET としてドレイン電流を流すために必要なゲート電圧を意味し、これを計算することはデバイス設計において重要である。閾値電圧は MOS キャパシタにおいては、金属膜に電位をかけて、半導体層に反転層ができるときの金属膜の電位のことである。このときに、半導体でのバンドの曲がりである空乏層電位 ϕ_s が、 $2(E_i - E_f)$ に等しくなる。このときの空乏層内の固定電荷量 Q_d が、

$$\begin{aligned} Q_d &= qN_a x_{inv} \\ &= \sqrt{4\epsilon_S \epsilon_0 qN_a (E_i - E_f)} \quad (17) \end{aligned}$$

で表され、この Q_d が MOS キャパシタの両端に誘起される。閾値電圧で正バイアスのかけたとの MOS キャパシタは絶縁膜の容量 C_{ox} と空乏層容量の C_{inv} の直列で表される。



その両端の電圧は

$$V_T = \sqrt{4\epsilon_S\epsilon_0qN_a(E_i - E_f)} \left[\frac{C_{ox} + C_{inv}}{C_{ox}C_{inv}} \right] \quad (18)$$

空乏層内の固定電荷を C_{ox} と C_{inv} の直列容量で割り算した値になる。

以上求めた閾値電圧は実際の金属の仕事関数 ϕ_M と半導体の仕事関数 ϕ_{Si} が等しいとした式である。異なる場合は、

$$\phi_{MS} = \phi_M - \phi_{Si} \quad (19)$$

としたときに、この分を V_T に加える必要がある。この時の閾値電圧は、

$$V_T = \phi_{MS} +$$

$$\sqrt{4\epsilon_S\epsilon_0qN_a(E_i - E_f)} \left[\frac{C_{ox} + C_{inv}}{C_{ox}C_{inv}} \right] \\ = \phi_{MS} + 2(E_i - E_f) + \frac{\sqrt{4\epsilon_S\epsilon_0qN_a(E_i - E_f)}}{C_{ox}} \quad (20)$$

となる。参考までに、p 型 Si の仕事関数は

$$\phi_{Si} = 4.6 + \frac{kT}{q} \log \frac{N_a}{n_i} \quad (21)$$

で表される。また金属の仕事関数であるが、

代表的な金属の仕事関数を記載しておく。

表 2 おもな金属材料と仕事関数

材料	仕事関数 (eV)
Al	3.2
Au	4.0
Ti	4.1
W	4.5

閾値電圧はこのほか、絶縁膜中に含まれる電荷や、界面でのトラップ準位に固定された電荷の影響を受ける。酸化膜中の電荷は正の固定電荷であり、半導体界面に負の電荷を誘起する。また、界面の電荷は電子が捕獲された場合、負の固定となる。この場合、界面電荷を Q_s とすると、閾値電圧は Q_s / C_{ox} 分だけ減じられることになる。界面電荷影響を含めた閾値電圧の式は次のようになる。

$$V_T = \phi_{MS} - \frac{Q_s}{C_{ox}} + \\ 2(E_i - E_f) + \frac{\sqrt{4\epsilon_S\epsilon_0qN_a(E_i - E_f)}}{C_{ox}} \quad (23)$$

6. フラットバンド電圧

前節から述べてきたように実際の MOS キャパシタは金属と半導体の仕事関数差や界面電荷の影響で、バイアスをかけていなくてもバンドに曲がりが生じている。図 14 に p 型半導体の仕事関数より小さい仕事関数を持った金属膜をもった n チャネル MOS キャパシタのバンド図を示す。半導体のフェルミレベルと金属の仕事関数が一致するように、整合する。

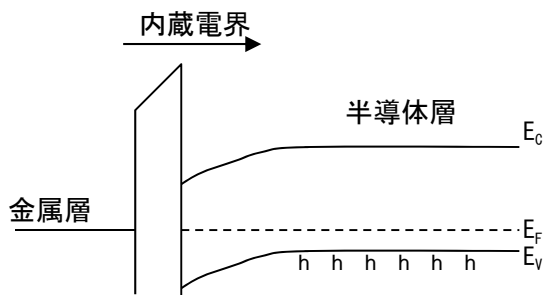


図 14 仕事関数が低い金属をつけたときの n チャンネル MOS のバンド図

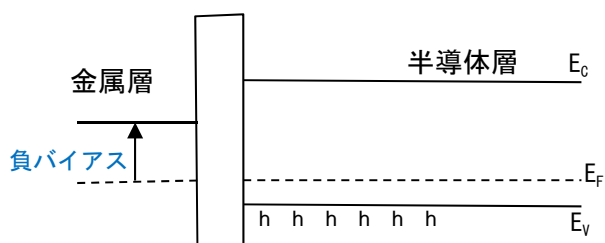


図 15 金属膜に負バイアスをかけてフラットバンド状態になった時のバンド図

このキャパシタにおいて、金属膜に負バイアスをかけると内蔵電界を打ち消して、半導体層のバンドがフラットになる。このときの金属膜に印加している電圧がフラットバンド電圧 V_{FB} という。フラットバンド電圧は先の(23)式の前 2 項までの部分である。

$$V_{FB} = \phi_{MS} - \frac{Q_s}{C_{ox}} \quad (24)$$

フラットバンド電圧は C-V 特性においては、 C_{ox} と同じ容量になるバイアス点である。図 16 に示されるように、C-V 特性から簡単によみとることができる。 ϕ_{MS} は簡単に計算で出せることから、フラットバンド電圧を実測できれば、界面電荷密度を推定

することができる。すなわち、MOS キャパシタの性能評価にフラットバンド電圧の評価がしばしば行われている。界面準位密度 1cm^2 当たり $10^{12}/\text{cm}^2$ が高品質にできているかどうかの目安となる。

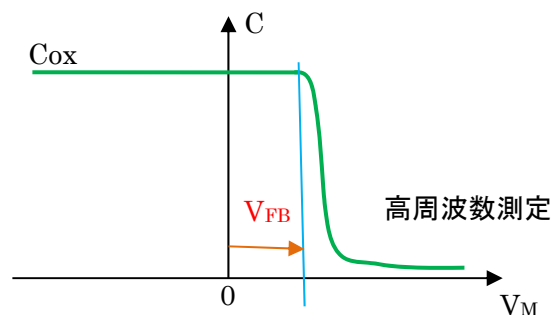


図 16 C-V 特性からのフラットバンド電圧の読み取り例

7. MOSFET のドレイン電流の導出

MOSFET の断面図が図 17 に描かれている。まずは簡単のために $V_g > V_d$ の場合について考えよう。ゲートの下には n 型チャンネルが形成されているが、ソースに近い方ではチャンネルが太く、ドレインに近い方では電位が高いため、細くなっている。ゲート直下の電荷面密度はドレインに近づくに従って小さくなる傾向にある。ゲート直下の電位はソース近傍では 0V、ドレイン近傍では V_d になっているので、ゲート全体としてみれば $1/2V_d$ とみなせる。すなわち、絶縁膜かかる平均電圧は $V_G - 1/2V_d$ となる。ゲート直下の平均面電荷密度 Q_{ch} は

$$Q_{ch} = C_{ox}(V_G - V_T - 1/2V_d) \quad (24)$$

となる。ここで閾値電圧 V_T 分だけゲート電圧から引かれているのは、実質電気伝導に寄与するのは反転層にたまる自由電子のみ

であるため、閾値電圧以上の分が反転層の自由電子の寄与となる。

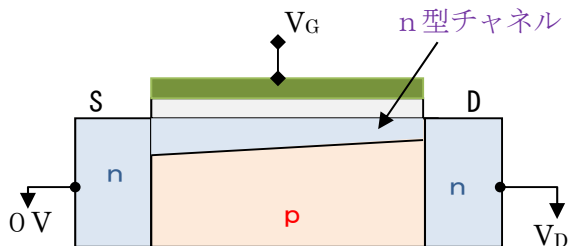


図 17 ドレイン電流計算のための n チャンネル MOS の模式図 —線形領域—

ソースドレイン間の電界はチャンネル長 L とすれば V_d/L である。電流密度は電荷密度、電界、移動度の積で表されることから、チャンネル内の電子の移動度を μ 、チャンネル幅 W とすれば、ドレイン電流は次式で表される。

線形領域のドレイン電流の式

$$I_d = \frac{W}{L} \mu C_{ox} \left[(V_G - V_T) V_D - \frac{1}{2} V_D^2 \right] \quad (25)$$

$V_g < V_d$ の領域になると、ドレイン付近に空乏層が発生し、チャンネルのドレイン端のところに空乏層ができる。この空乏層はドレイン電圧が大きくなると広がり、ドレイン電流を抑える働きがあり、ドレイン電圧が下がると狭くなり、ドレイン電流が大きくなる。つまりこの領域ではドレイン電流は定電流となり、その値は $V_D = V_G - V_T$ のときの電流値となる。

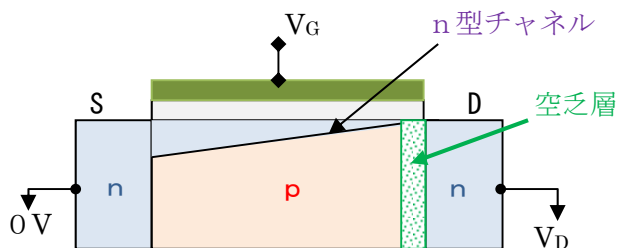


図 18 ドレイン電流計算のための n チャンネル MOS の模式図 —飽和領域—

飽和領域のドレイン電流の式は、(25)式の $V_D = V_G - V_T$ で置換した形になる。

飽和領域のドレイン電流の式

$$I_d = \frac{W}{2L} \mu C_{ox} (V_G - V_T)^2 \quad (26)$$

なお、MOSFET の ON 抵抗は線形領域の式の電圧微分から求められる。ON 抵抗は図 19 に示されるように線形領域の概そうから求められる。

MOSFET の ON 抵抗の式

$$R_{ON} = \frac{1}{\frac{dI_d}{dV}} = \frac{1}{\frac{W}{L} \mu C_{ox} (V_G - V_T)} \quad (27)$$

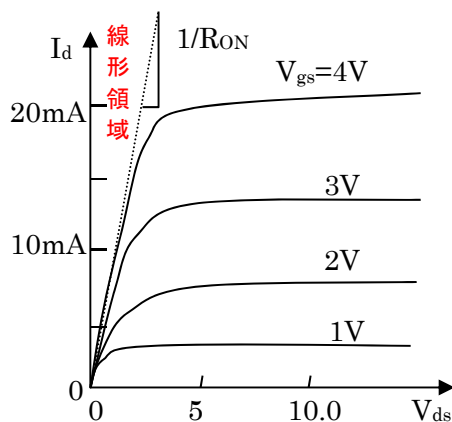


図 19 MOSFET の ON 抵抗抽出

8. MOSFET の特性抽出法

MOSFET の評価として、移動度（電界効果移動度）と閾値電圧が評価されている。図 5 のようなドレイン電流とドレイン電圧の関係を得たらならば、飽和領域において、ドレイン電圧を固定して $\sqrt{I_d}-V_G$ の関係をプロットすると直線関係になる。これは(26)式から

$$\sqrt{I_d} = \sqrt{\frac{W}{2L} \mu C_{ox}} (V_G - V_T) \quad (27)$$

が得られる。直線関係の傾きから移動度が求められ、X 軸の切片が閾値電圧 V_T となる。

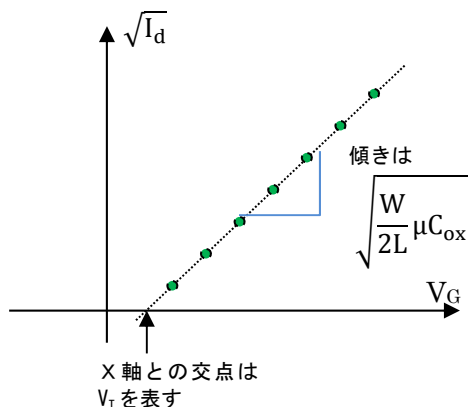


図 19 MOSFET の $\sqrt{I_d}-V_G$ 特性の例

9. 電界効果移動度

MOSFET のドレイン電流を支配する要因にソースとドレイン間のキャリア移動度がある。とくに、飽和領域におけるチャンネル移動度を電界効果移動度 μ_{eff} と呼び、次の式で表される。

$$\begin{aligned} \mu_{eff} &= \frac{\partial I_d}{\partial V_G} \cdot \frac{L}{WC_{ox}} \cdot \frac{1}{(V_G - V_T)} \\ &= g_m \cdot \frac{L}{WC_{ox}} \cdot \frac{1}{(V_G - V_T)} \\ &= \left(\frac{d\sqrt{I_d}}{dV_G} \right)^2 \cdot \frac{2L}{WC_{ox}} \quad (28) \end{aligned}$$

これに対して、線形領域でのソースドレイ

ン間のキャリア移動度を実効移動度 μ_e と呼ぶ。

$$\mu_e = \frac{\partial I_d}{\partial V_G} \cdot \frac{L}{WC_{ox}} \cdot \frac{1}{V_d} = g_m \cdot \frac{L}{WC_{ox}} \cdot \frac{1}{V_d} \quad (28)$$

ここで得られる電界効果移動度と実効移動度を比べると実効移動度の方がわずかに大きい。また、これら両移動度は、結晶内部を走行するときの移動度（バルク移動度）に対して、1/3 から 1/4 になると理解しておこう。通常 n チャンネルの SiMOS であれば、電界効果移動度は $100\sim 200\text{cm}^2/\text{Vs}$ 程度である。ちなみにバルク移動度はドーピング濃度にもよるが $500\sim 1000\text{cm}^2/\text{Vs}$ の範囲である。FET のチャンネルでの移動度がバルク移動度に比べて低いのは、MOS 界面の凹凸による散乱や、トラップ準位、固定電荷でのクーロン散乱の影響を受けるためである。

10. MOSFET の高速動作限界と付帯容量

MOSFET の高速動作限界を考える上では考慮すべきことは、チャンネルを走行するキャリアの走行時間である。これが MOSFET の高速動作における時定数となる。MOSFET が線形領域にあるときは、チャンネル走行時間 τ_e は、

$$\tau_e = \frac{L^2}{\mu_e V_d} \quad (29)$$

で与えられ、カットオフ周波数 f_c は

$$f_c = \frac{1}{2\pi\tau_e} \quad (30)$$

で与えられる。

飽和領域の場合のチャンネル走行時間 τ_{eff} は、

$$\tau_{\text{eff}} = \frac{L^2}{q\mu_e(V_g - V_t)} \quad (31)$$

で与えられ、カットオフ周波数は式(30)で計算される。チャンネル走行時間は、チャンネル距離 L をできるだけ短くすること、かつドレインソース間電圧を高くすることで縮小できる。MOSFET 回路の動作周波数の高速化限界は回路の電源電圧に依存するといわれるが、これは MOSFET のドレインにできるだけ高い電圧をかけた回路とすることで、チャンネル走行時間を抑制することができるからである。

以上計算したのは理論的な高速化限界であるが、実際でのリミットは、MOSFET の付帯容量からくる。図 3 の等価回路に示されるように、MOSFET にはゲート絶縁膜があり、これがゲートソース間、ゲートドレイン間に寄生容量となり、周辺の抵抗成分とあわせて、時定数となる。とくにゲートドレイン間の寄生容量はミラー効果により、実際の寄生容量が電圧増幅率倍となって回路の時定数となって作用するので注意が必要である。MOSFET は、集積回路をつくる上でバイポーラに比べて簡素なプロセスで形成されるため、製造コストや集積度の観点から広く使われているが、上記要因からバイポーラと比べて、高速動作の点では劣る。コストか、スピードかでバイポーラと MOS が使い分けられているのが現状である。

11. 短チャンネル効果

前節でソースドレイン間のチャンネル長を小さくすることで、チャンネル走行時間を抑制し、高速化が可能であることを述べた。しかし、チャンネル長がサブミクロン以下に

なってくると、①チャンネル中のドリフト速度が飽和するため、ドレイン電圧を上げても、走行時間が改善されなくなる、②ソースおよびドレイン近傍に形成される空乏層の影響で、閾値電圧が変動してしまう、③ホットエレクトロンと呼ばれるチャンネル間で加速された高速電子がドレイン近傍で欠陥を誘起し、特性が劣化してしまう、などの問題があげられる。

特に、②の空乏層の影響であるが、ドレインおよびソース付近では pn 接合で空乏層ができており、空乏層の厚みはバイアス状態にもよるが、サブミクロンに達する(図 20)。チャンネルがすっぽりと空乏層に飲み込まれると、空乏層内の固定電荷により、閾値電圧 V_t が低くなる方向にシフトする。つまり低いゲート電圧でもオンしやすくなる。この問題は大変深刻で、わずかなマスク合わせのずれでも、閾値電圧 V_t がずれることになり、ソースドレイン間のオフ時の漏れ電流や、CMOS の閾値電圧の変動につながる。これを回避するには、ソースとドレインのドーピング層の厚みを 10nm 程度に抑えることが有効である。

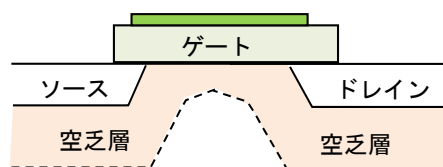


図 20 短チャンネルでの空乏層の影響

12. 低 ON 抵抗化と DMOSFET

MOSFET は CMOS などの IC の能動素子だけではなく、スイッチング用のパワー

トランジスタとしても広く利用されている。特にパワーMOS トランジスタにおいては、バイポーラのような少数キャリアの蓄積がないため、極めて高速なスイッチ特性を実現できる。このようなパワーMOS と呼ばれる大電力用 FET では、ドレインを基板の下面に形成し、縦方向に電流を流す方式がとられる。このような縦型 MOS のアイデアはいくつかあるが、2重拡散 MOSFET(Double diffusion MOSFET, DMOSFET)が、製造工程が少なく、コストを抑えられることから広く生産されている。この構造は、ゲート酸化膜をマスクにして、p と n の拡散条件を変えて、図 21 のような 2重拡散構造を作り、表面にチャネルを形成して、基板下面に電流を流す構造となっている。

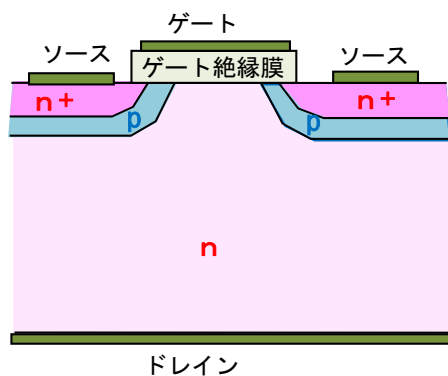


図 21 DMOSFET の構造

縦型の電流経路を持つ MOSFET は、このほかトレンチ型や V 溝型などが考案されているが、パワーMOS 業界はデバイスの先進性よりコストが重視されるため、製造コストで有利な DMOSFET の主役は当面続きそうである。

13. 薄膜トランジスタ (TFT)

ガラスなどの Si ウェハ以外の材料基板に薄く半導体薄膜を積層し、その薄膜を加工してできるトランジスタを、薄膜トランジスタ(Thin Film Transistor, TFT)という。薄膜トランジスタは、液晶ディスプレイの主役となる技術であり、画素となる素子を駆動するトランジスタとして利用される。これは**アクティブマトリクスディスプレイ**(図 22)と呼ばれるもので、各画素素子にトランジスタを近接させることで、配線の電流を抑制し、より高速な発色応答が可能になる。近年、ハイビジョンなどの高精細ディスプレイなどのニーズが高まり、よりちらつきの少ない高品質ディスプレイの技術開発が求められ、薄膜トランジスタにおいてもより高い電流密度、すなわちより高い電界効果移動度がもとめられるようになった。

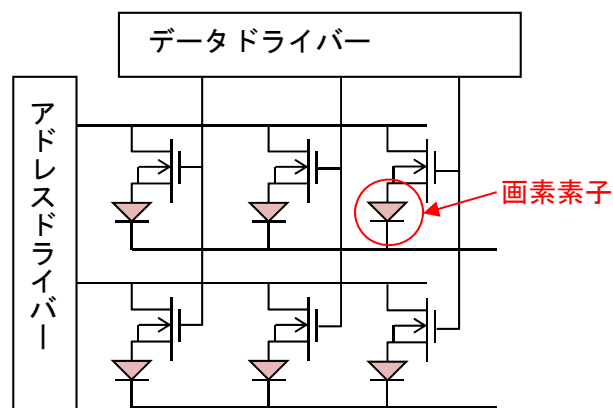


図 22 アクティブマトリクスディスプレイの回路構成

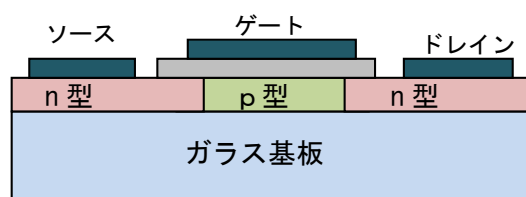


図 23 薄膜トランジスタの構造

薄膜トランジスタの構造を図 23 に示す。薄膜トランジスタはもともと、スコットランドの Spear、LeComber らによって、グロー放電によって形成させた**アモルファスシリコン(aSi)**がドーピングによって、導電性を制御できることが報告され、それが端緒となりアクティブマトリクスディスプレイへの応用がすすめられた。1980 年初頭に aSi を用いた液晶ディスプレイが開発されている。しかし、aSi による薄膜トランジスタの電界効果移動度は $0.1\text{cm}^2/\text{Vs}$ と極めて低く、薄膜トランジスタのドレイン電流が小さいことから、aSi の液晶ディスプレイの画面応答は極めて遅い問題があった。その遅さは液晶の味わいとして一部ユーザーには受け入れられていたものの、動きの激しいビデオ再生のニーズから薄膜トランジスタの高電流密度化の研究がすすめられた。その後、エキシマレーザーをアモルファス Si 膜に照射し、瞬時に膜を融解させ、**再結晶化**させるレーザーアニールの技術が活用され、ここから半導体のチャネル層では**多結晶 Si** が主流となる。これにより、電界効果移動度が $100\text{cm}^2/\text{Vs}$ 近くまで向上し、液晶ディスプレイの応答性が飛躍的に改善された。また、近年では、多結晶薄膜トランジスタをつかって、CPU を製作して、アクティブマトリクスディスプレイのインテリジェント化を試みる研究も進められている。

多結晶 Si による薄膜トランジスタにおいて内部に存在する**粒界**が電界効果移動度を抑制する原因であり、粒界の影響を抑えるために、結晶粒の巨大化が試みられている。そのため、エキシマレーザー光の走査速度を調整した**横方向結晶化**や、金属誘起結晶

化技術などの開発がすすめられている。Si 系薄膜トランジスタにおいては当面、結晶 Si なみの電界効果移動度の実現が目標とされているが、粒界密度の低減と不活性化の研究が開発課題である。

粒界のキャリア移動度へ及ぼす影響については、よくわかっていないが、粒界において、界面準位に電子が捕獲されることによって、ポテンシャル障壁 E_B ができ、バルク移動度 μ_B に対して、粒界での移動度 μ_{GB} は次のアレニウスの式で表される単純なモデルをつかって、シミュレーション等で解析がされている。

$$\mu_{GB} = \mu_b \exp\left(-\frac{E_B}{kT}\right) \quad (32)$$

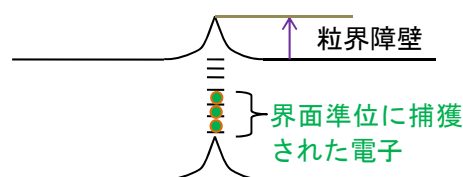


図 24 粒界のバンドモデル

薄膜トランジスタの発展は多結晶 Si の開発によるところが大きいですが、近年では、ZnO などの**酸化物半導体**や有機半導体を利用した**有機 FET**の開発も進められている。

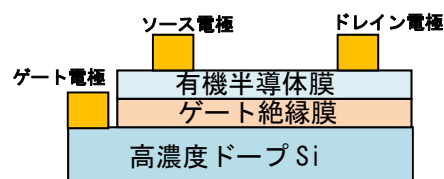


図 25 実験用有機トランジスタの構造

図 25 に研究開発用で広く試作されている有機 FET の構造を示す。ゲート電極と基板をかねて高濃度の Si 基板に SiO₂ などのゲート絶縁膜を堆積し、その上に 100nm 程度の膜厚で有機半導体膜を形成する。代表的な有機半導体として、ペタンセンやオリゴチオフェンなどの低分子材料は真空蒸着で形成される。また P3HT などの有機ポリマーではクロロベンゼンなどの有機溶剤に溶いて、ディップ法やスピコート法で膜として形成する。SiFET と異なるのは、ソース、ドレインに異なる導電型でのドーピング領域を作らないことである。有機 FET では有機材料そのものが半絶縁性であり、ゲートに電圧をかけて、有機材料にキャリアが蓄積したときに、導電性を帯び、ドレイン電流が流れる。ドレイン、ソースの金属種については、できる限り有機半導体のキャリア準位に近い仕事関数を持つものが選定される。p 型の有機半導体では Au が、n 型の半導体では Al や CaF などが用いられる。

有機 FET は、有機 EL ディスプレイの画素素子の駆動用トランジスタとして利用が期待されているが、当面はアモルファス Si なみの電界効果移動度の実現が目標である。多くの有機半導体が p 型であり、電界効果移動度においても、ペタンセンやポリチオフェン等の材料で、1cm²/Vs 近い電界効果移動度が報告されている。n 型については C60 などのフラーレン類が使われているが、移動度が p 型材料に比べて見劣りするものが現状である。また有機 FET は電流密度が高くなると、電界効果移動度が低下する傾向にあり、大電流化においても新しいアイデアが必要である。

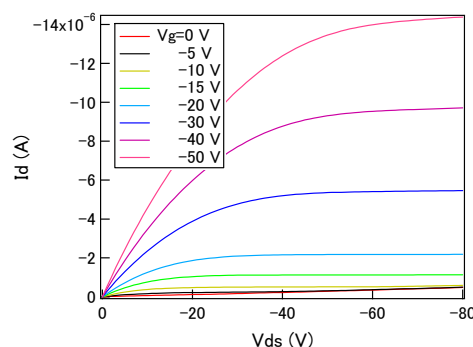
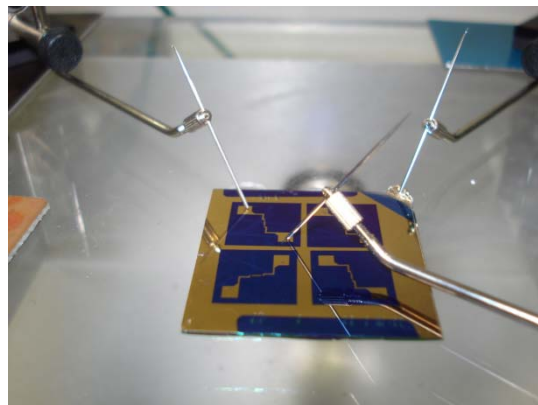


図 26 著者研究室で試作した有機 FET と特性例
有機半導体は P3HT の例